

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-148656

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

G06F 13/16

(21)Application number : 10-318169

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 09.11.1998

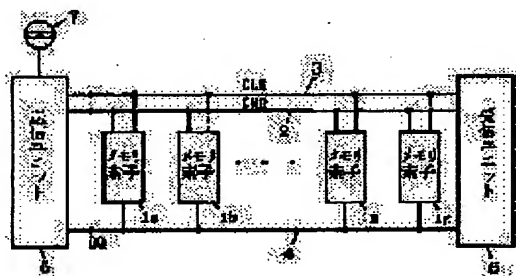
(72)Inventor : TOMISHIMA SHIGEKI
ISHIKAWA MASATOSHI
OISHI TSUKASA

(54) MEMORY SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent deviation of an access time to a memory chip in a memory system.

SOLUTION: Plural memory elements 1a-1n are commonly connected in parallel with unidirectionally extended signal wiring 2, 3, and 4, and signals are transmitted unidirectionally along the signal wirings 2-4. Thus, the sum of a signal propagation time from a transmission unit 5 to the selected memory element and a signal propagation time from the selected memory element to a receiving unit 6 is made the same for all the memory elements.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-148656

(P2000-148656A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl.⁷

G 0 6 F 13/16

識別記号

5 1 0

F I

G 0 6 F 13/16

テマコード* (参考)

5 1 0 Z 5 B 0 6 0

審査請求 未請求 請求項の数27 O L (全 51 頁)

(21) 出願番号

特願平10-318169

(22) 出願日

平成10年11月9日 (1998.11.9)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 富嶋 茂樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 石川 正敏

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

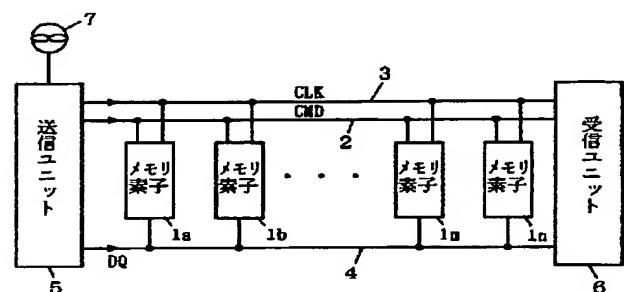
最終頁に続く

(54) 【発明の名称】 メモリスシステム

(57) 【要約】

【課題】 メモリスシステムにおけるメモリチップに対するアクセス時間のずれをなくす。

【解決手段】 一方方向に延在する信号配線 (2, 3, 4) に共通に複数のメモリ素子 (1a-1n) を並列に接続し、これらの信号配線に沿って一方方向に信号を伝達する。送信ユニット (5) から選択メモリ素子への信号伝搬時間と選択メモリ素子から受信ユニット (6) への信号伝搬時間の和がすべてのメモリ素子について同じとなる。



【特許請求の範囲】

【請求項1】 第1のポートと前記第1のポートと対向して配置される第2のポートとの間に配置されかつ前記第1および第2のポートに結合され、データを含む信号を前記第1のポートから前記第2のポートに向かう方向に沿って一方方向に伝達する第1の信号バス、および前記第1の信号バスに互いに並列に結合され、前記第1の信号バスと信号の授受を行なう複数の第1の個別メモリ素子を備える、メモリシステム。

【請求項2】 前記第1のポートは、送信機能を有する送信部からの信号を受ける入力端子を含み、前記第2のポートは、受信機能を有する受信ユニットに結合され、前記第1の信号バスからの信号を受けて前記受信部に伝達するための出力端子を含む、請求項1記載のメモリシステム。

【請求項3】 前記第1の信号バスは、前記第1のポートから与えられるクロック信号を伝達するクロック信号線を含み、前記複数の第1の個別メモリ素子は、前記クロック信号に同期して動作する、請求項1記載のメモリシステム。

【請求項4】 前記第1の信号バスは、実行すべき動作を指定するコマンドを少なくとも伝達するためのコマンドバスと、前記コマンドバスとは別に設けられ、前記データを伝達するためのデータバスと、前記コマンドの取込タイミングを与えるコマンドクロック信号を伝達するコマンドクロック信号線と、前記コマンドクロック信号線と別に設けられ、前記データの取込タイミングを与えるデータクロック信号を伝達するデータクロック信号線とを含む、請求項1記載のメモリシステム。

【請求項5】 前記第1のポートは、外部に設けられた外部装置からの信号を受ける入力端子と、前記入力端子に結合され、前記入力端子を介して与えられる信号に従って前記第1の信号バスへ信号を出力する送信ユニットとを備え、前記第2のポートは、前記外部装置に結合される出力端子と、前記第1の信号バスに結合され、前記第1の信号バス上の信号を受け、該受けた信号に従って前記出力端子を駆動して前記外部装置へ該受けた信号に対応する信号を伝達する受信ユニットとを含む、請求項1記載のメモリシステム。

【請求項6】 前記複数の第1の個別メモリ素子は、同一ベース基板上に配置される、請求項1記載のメモリシステム。

【請求項7】 前記複数の第1の個別メモリ素子は、モジュールに一体的に形成され、前記モジュールは、前記第1および第2のポートが順次接続されるように複数個

がカスケード接続される、請求項1記載のメモリシステム。

- 【請求項8】 第1の表面と前記第1の表面とは反対側の第2の表面とを有し、前記第1の表面に前記第1のポート、前記第1の信号バス、前記複数の第1の個別メモリ素子および前記第2のポートが配置されるベース基板と、前記ベース基板の第2の表面に配置される複数の第2の個別メモリ素子と、前記第2の表面に配置されかつ前記第2のポートと前記ベース基板を貫通する貫通孔を介して結合される第3のポートと、前記第3のポートと対向して前記ベース基板の第2の表面に配置される第4のポートと、前記第3および第4のポートの間に前記複数の第2の個別メモリ素子に共通に配置され、前記第3のポートから前記第4のポートへ向かって信号を伝達する第2の信号バスをさらに備え、前記第2のポートは、前記第1の信号バスに結合する第1の信号線ノードを含み、前記第3のポートは、前記第1の信号線ノードに前記貫通孔を介して接続する第2の信号線ノードを含み、前記第1および第2の信号バスは、前記第2のポート、前記貫通孔および前記第3のポートを介して相互接続される、請求項1記載のメモリシステム。

- 【請求項9】 前記第1のポートは、外部に設けられた外部装置からの信号を受けるための入力端子と、前記入力端子に結合され、前記入力端子から与えられる信号に従って前記第1の信号バスを駆動する送信ユニットとを含み、前記第4のポートは、前記第2の信号バスからの信号を受け、該受けた信号に相当する信号を出力する受信ユニットと、前記受信ユニットに結合されかつ前記外部装置に結合され、前記受信ユニットからの信号を前記外部装置へ伝達するための出力端子とを含む、請求項8記載のメモリシステム。

- 【請求項10】 前記第1のポートは、外部装置に結合される端子と、前記端子に結合され、前記端子からの信号を受け、該受けた信号に従って前記第1の信号バスを駆動する送信部と、前記ベース基板を貫通する貫通孔を介して前記第4のポートに結合され、前記第4のポートを介して前記第2の信号バスからの信号を受け、該受けた信号に従って前記端子を駆動する受信部とを含む制御ユニットとを含み、前記第4のポートは、前記第2の信号バスに接続しかつ前記貫通孔を介して前記受信部に結合する信号線ノードを含む、請求項8記載のメモリシステム。

【請求項11】 ベース基板の第1の表面に配置される複数の個別メモリ素子、前記複数の個別メモリ素子に共通に設けられ、かつ前記ベース基板の前記第1の表面および前記第1の表面と対向する第2の表面に電氣的に連続して配設される配線、および前記配線を介して前記複数の第1の個別メモリ素子に共通に結合され、前記複数の個別メモリ素子と前記配線を介して信号の送信および受信を行なうための制御ユニットを備え、前記配線の一方方向において、前記制御ユニットから個別メモリ素子までの前記配線の長さ、と該個別メモリ素子から前記制御ユニットへ至る前記配線の長さの和が、前記複数の個別メモリ素子について実質的に同じである、メモリスシステム。

【請求項12】 前記制御ユニットは、前記配線の一方端において前記ベース基板の第1の表面に配設され、前記複数の個別メモリ素子へ信号を送信する送信ユニットと、前記ベース基板の第2の表面に前記配線の他方端に配設され、前記配線を介して伝達される信号を受信する受信ユニットを備える、請求項11記載のメモリスシステム。

【請求項13】 前記制御ユニットは、前記基板の第1の表面において前記配線の一方端に配置され、かつ(i) 前記配線を介して前記複数の個別メモリ素子に信号を送信するための送信ユニットと、(ii) 前記配線を介して伝達される信号を受信するための受信ユニット両者を含む、請求項11記載のメモリスシステム。

【請求項14】 前記制御ユニットは、前記ベース基板の第1の表面において前記ベース基板の一方端部に配置され、前記配線と信号の送受を行なうための第1の制御ユニットと、前記ベース基板の第2の表面において前記ベース基板の前記一方端部に配置され、前記配線と信号の送受を行なう第2の制御ユニットとを備える、請求項11記載のメモリスシステム。

【請求項15】 前記制御ユニットに隣接して配置され、外部装置と前記制御ユニットとの信号の送信および受信を行なうためのポートをさらに備える、請求項11記載のメモリスシステム。

【請求項16】 前記制御ユニットは、前記ベース基板の第1の表面の第1の端部に配置され、少なくとも送信機能を有するメモリ制御回路を含み、前記ベース基板の前記第1の端部と対向する第2の端部において形成される前記ベース基板を貫通する貫通孔を介して前記第1および第2の表面に配設される配線が相互接続される、請求項11記載のメモリスシステム。

【請求項17】 前記メモリ制御回路は、前記配線からの信号を受信するための受信部をさらに備え、前記受信部は、前記ベース基板の前記第1の端部に近接して形成される前記ベース基板を貫通する貫通孔を介して前記第2の表面に配設された配線に結合される、請求項16記

載のメモリスシステム。

【請求項18】 前記第1の信号バスは、前記複数の第1の個別メモリ素子の動作サイクルを規定するクロック信号を伝達するクロック信号線と、動作モードを指定するコマンドを伝達するコマンドバスと、前記クロック信号線と別に設けられ、少なくとも前記コマンドの取込タイミングを与えるストローブクロック信号を伝達するストローブクロック信号線とを含む、請求項1記載のメモリスシステム。

【請求項19】 前記第1の信号バスは、外部装置からの信号を一方端に受けて前記複数の第1の個別メモリ素子へ伝達し、かつ他方端が終端抵抗に結合されて前記外部装置から分離される信号線に連結する信号線を含む、請求項18記載のメモリスシステム。

【請求項20】 前記第1の信号バスは、データを伝達するためのデータ線と、動作モードを指示するコマンドを伝達するためのコマンド線と、

前記複数の第1の個別メモリ素子の動作サイクルを規定するクロック信号を伝達するクロック信号線とを含み、前記メモリスシステムは、さらに、前記第1および第2のポートを介して信号を送受するコントローラをさらに備え、

前記コントローラは、前記コマンド線を介して返送される、データ出力を指示するデータ出力コマンドを検出するためのコマンド検出回路と、

前記コマンド検出回路からのデータ出力コマンド検出指示に応答して、前記クロック信号のデータ出力レイテンシサイクル期間経過、前記データ線を介して与えられるデータを取込むデータ入力回路を備える、請求項1記載のメモリスシステム。

【請求項21】 前記メモリスシステムは、さらに、前記第1および第2のポートを介して信号の送受を行なうコントローラを含み、

前記第1の信号バスは、前記複数の第1の個別メモリ素子の動作サイクルを規定するクロック信号を伝達するクロック信号線と、

前記複数の第1の個別メモリ素子から出力されたデータを伝達するためのデータ線と、コマンド印加指示信号を伝達するためのコントロール信号線とを含み、

前記コントローラは、前記コントロール信号線を介して返送される前記コマンド印加指示信号を検出する検出回路と、

前記検出回路からの検出指示信号に응答して、前記クロック信号のレイテンシサイクル期間経過後前記データ線のデータを取込む入力回路を含む、請求項1記載のメモリスシステム。

【請求項22】 前記第1および第2のポートを介して前記第1の信号バスコマンドおよびデータを転送するコントローラをさらに含み、前記コントローラは、前記第1の信号バスへのデータ出力を要求するコマンド送出後、所定のレイテンシサイクル経過後、前記第1の信号バスのデータを取込む回路をさらに備える、請求項1記載のメモリスistem。

【請求項23】 前記メモリコントローラは、前記複数の第1の個別メモリ素子各々のレイテンシに対する遅延量を調整するための回路をさらに含む、請求項20から22のいずれか記載のメモリスistem。

【請求項24】 前記複数の第1の個別メモリ素子の各々は、前記ストロブクロック信号を遅延して出力する、その遅延量を変更可能な可変遅延回路と、前記可変遅延回路の出力信号に反応して、前記第1の信号バスを介して伝達された信号を取込む入力回路を含む、請求項18記載のメモリスistem。

【請求項25】 前記入力回路は、基準電圧と前記第1の信号バス上の入力信号とを比較し該比較結果に従って内部信号を生成する入力バッファ回路を含み、前記可変遅延回路の遅延量は、前記基準電圧に対する前記入力信号の論理判定レベルに対するマージンが大きくなるように設定される、請求項24記載のメモリスistem。

【請求項26】 前記マージンは、前記基準電圧レベルを変化させて測定された結果に基づいて決定される、請求項25記載のメモリスistem。

【請求項27】 前記第1の信号バスは、さらにアドレス信号を伝送するアドレスバスと、データを伝送するデータバスを備え、前記可変遅延回路は、前記アドレスバスの信号を受ける回路、前記データバスの信号を受ける回路、および前記コマンドバスの信号を受ける回路それぞれに別々に設けられる、請求項24記載のメモリスistem。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、メモリスistemに関し、特にバスに並列に接続される複数の個別メモリ素子が、共通に設けられたコントローラと信号の送受を行なうメモリスistemに関する。より具体的には、この発明は、複数の個別メモリ素子が、クロック信号と同期して動作するメモリ素子であるメモリスistemに関する。

【0002】

【従来の技術】図56は、従来のメモリスistemの構成の一例を示す図である。図56においては、複数の個別メモリ素子（メモリチップ）CH#0～CH#nが並列に配置される。これらのメモリチップCH#0～CH#

nに共通に、クロックドライバCKDからのクロック信号CLKを伝達するクロック信号線CKBS、動作モードを指定するコマンドおよびアドレスを伝達するコマンド/アドレスバスCDBS、およびデータDQを転送するデータバスDTBSが配置される。これらのクロック信号線CKBS、コマンド/アドレスバスCDBSおよびデータバスDTBSは、また、これらのメモリチップCH#0～CH#nの動作を制御するメモリコントローラMCに結合される。

【0003】メモリコントローラMCは、クロック信号線CKBS上のクロック信号CLKに同期して、コマンド/アドレスバスCDBS上に動作モードを指定するコマンドおよびアドレスを伝達する。メモリチップCH#0～CH#nの各々は、クロック信号CLKに同期して、このコマンド/アドレスバスCDBS上に与えられたコマンドおよびアドレス信号を書込み、指定された動作を実行する。データバスDTBSは、双方向データバスであり、データ書込時においては、メモリコントローラMCからの書込データをメモリチップCH#0～CH#nに伝達し、またデータ読出時においては、メモリチップCH#0～CH#nから読出されたデータをメモリコントローラMCへ伝達する。

【0004】クロック信号CLKに同期してデータの転送を行なうことができるため、高速のデータ転送を実現することができる。また、複数のメモリチップCH#0～CH#nを並列に設けることにより、大記憶容量のメモリスistemを実現することができる。

【0005】このようなメモリスistemを構築するためのメモリチップとしては、シンクロナス・ダイナミック・ランダム・アクセス・メモリ（SDRAM）、シンクリンクDRAM（SLDRAM）、およびランバスDRAM（RDRAM）などがある。

【0006】これらのクロック同期型メモリを用いるメモリスistemにおいては、データバスDTBSは、すべて、双方向データバスであり、書込データDおよび読出データQ両者がこのデータバスDTBSを介して転送される。

【0007】

【発明が解決しようとする課題】従来のメモリスistemにおいては、データバスDTBSを介して伝達されるデータDQのメモリコントローラMCへの到達時間が、メモリチップCH#0～CH#nそれぞれについて異なる。メモリコントローラMCとメモリチップCH#0～CH#nそれぞれとの間で正確にデータを送受するために、データ取込専用のクロック信号（DCLKまたはQS）が用いられる（DDR SDRAM（ダブル・データ・レートSDRAM）およびSLDRAMおよびダイレクトRDRAM等）。

【0008】データ書込時においては、メモリコントローラMCは、書込データとその書込データを取込むタイ

ミングを与えるデータ書込ストロブクロック信号をと
もに伝達する。また、データ読出時においては、メモリ
チップCH#0～CH#nが、それぞれ読出データとと
もに、データ取込用のクロック信号(QS)をメモリコ
ントローラMCへ伝達する。したがって、データ取込用
のタイミングを与えるクロック信号が同じ距離を伝達さ
れるため、クロック信号とデータとのスキューが少な
く、比較的正確なタイミングでデータの取込を行なうこ
とができる。

【0009】しかしながら、従来のメモリシステムにお
いては、この動作モードを指定するコマンドおよびアド
レス信号の取込は、単にクロック信号CLKに同期して
行なわれており、このクロック信号CLKとコマンド/
アドレスとのスキュー(配線抵抗および容量の起因す
る)については何ら考慮していないため、これらのコマ
ンドおよびアドレスとクロック信号とのスキューに対す
るマージンを見込んで、メモリチップCH#0～CH#n
に内部動作を開始させる必要があり、高速アクセスを
実現することができなくなる。

【0010】また、メモリチップのCH#0とメモリコ
ントローラMCとの距離は最も短く、またメモリチップ
CH#nとメモリコントローラMCとの距離が最も長い。
この場合、メモリチップCH#0とメモリコントロ
ーラMCとの間のデータ転送時間は最も短く、メモリチ
ップCH#nとメモリコントローラMCとの間のデータ
転送時間が最も長くなる。メモリチップCH#0～CH
#nの信号伝搬時間(信号のフライトタイム)の相違を
解消するために、メモリチップCH#0～CH#nの数を
できるだけ少なくして、データバスDTBSの長さを
短くすることが考えられる。しかしながら、この場合、
メモリシステムに含まれるメモリチップの数が制限さ
れ、大記憶容量のメモリシステムを構築することができ
なくなる。

【0011】メモリチップCH#0～CH#nのデータ
読出時におけるデータのフライトタイムを等しくするこ
とにより、メモリチップCH#0～CH#nのコマンド
に対する応答を等しくすることを考える。この場合、メ
モリチップCH#0のレイテンシを長くし、メモリチ
ップCH#nのレイテンシを短くすることが必要となる。
ここで、レイテンシは、リードコマンドが与えられてか
ら、有効データがデータバスDTBSに出力されるに要
するクロックサイクル数を示す。したがって、この場合
においては、メモリコントローラMCに近いメモリチ
ップは必要以上に、レイテンシを長くする必要があり、メ
モリコントローラMCに近いメモリチップの性能を低下
させるという問題が生じる。

【0012】また、双方向データバスDTBSを介して
読出データQおよび書込データDを伝達する場合、読出
データQがメモリコントローラMCに到達した後、書
込データDを双方向データバスDTBSへ伝達する必要

がある。したがって、このデータバスDTBSの長さが
長く、最遠方のメモリチップCH#nからのデータ読出
を行なう場合、この読出データがメモリコントローラM
Cに到達した後でないと、書込データをデータバスDT
BSへ送出することができなくなる。これにより、デー
タバスDTBSの利用効率が低下し、高速動作するメモ
リシステムを構築することができなくなる。またデータ
書込時においても、最遠方のメモリチップCH#nに書
込データが到達する時間を考慮して、この書込データと
衝突しないようにデータ読出を行なう必要があり、同
様、データバスDTBSの利用効率が低下する。

【0013】それゆえ、この発明の目的は、データバス
の使用効率が大幅に改善されるメモリシステムを提供す
ることである。

15 【0014】この発明の他の目的は、メモリチップの実
力を不必要に低下させることなく効率的にデータの転送
を行なうことのできるメモリシステムを提供すること
である。

20 【0015】この発明のさらに他の目的は、コントロー
ラとメモリチップとの間の距離にかかわらず、正確にデ
ータを含む信号の送受をメモリチップとコントローラと
の間で行なうことのできるメモリシステムを提供するこ
とである。

【0016】

25 【課題を解決するための手段】請求項1に係るメモリシ
ステムは、第1のポートとこの第1のポートと対向して
配置される第2のポートとの間に配置されかつこれら第
1および第2のポートに結合され、データを含む信号を
第1のポートから第2のポートに向かう方向に沿って一
方方向に伝達する第1の信号バスと、この第1の信号バ
スに互いに並列に結合され、第1の信号バスと信号の授
受を行なう複数の第1の個別メモリ素子を備える。

30 【0017】請求項2に係るメモリシステムは、請求項
1の第1のポートが、送信機能を有する送信部からの信
号を受ける入力端子を含み、第2のポートが、受信機能
を有する受信部に結合され、第1の信号バスからの信号
をその受信部に伝達するための出力端子を含む。

40 【0018】請求項3に係るメモリシステムは、請求項
1の第1の信号バスが、第1のポートから与えられるク
ロック信号を伝達するクロック信号線を含み、複数の第
1の個別メモリ素子が、このクロック信号に同期して動
作する。

45 【0019】請求項4に係るメモリシステムは、請求項
1の第1の信号バスが、実行すべき動作を指定するコマ
ンドを少なくとも伝達するためのコマンドバスと、この
コマンドバスとは別に設けられ、データを伝達するた
めのデータバスと、コマンドの取込タイミングを与える
コマンドクロック信号を伝達するコマンドクロック信号線
と、このコマンドクロック信号線と別に設けられ、デー
タの取込タイミングを与えるデータクロック信号を伝達
50

するデータクロック信号線とを含む。

【0020】請求項5に係るメモリスistemは、請求項1の第1のポートが、外部装置からの信号を受ける入力端子と、この入力端子に結合され、入力端子を介して与えられる信号に従って第1の信号バスへ信号を出力する送信ユニットとを備え、第2のポートが、外部装置に結合される出力端子と、第1の信号バスに結合され、第1の信号バス上の信号を受け、該受けた信号に従って出力端子を駆動して外部装置へ該受けた信号に対応する信号を伝達する受信ユニットとを含む。

【0021】請求項6に係るメモリスistemは、請求項1の複数の第1の個別メモリ素子が、同一ベース基板上に配置される。

【0022】請求項7に係るメモリスistemは、請求項1の複数の第1の個別メモリ素子がモジュールに一体的に形成され、このモジュールが、第1および第2のポートが順次接続されるように複数個カスケード接続される。

【0023】請求項8に係るメモリスistemは、請求項1のメモリスistemが、さらに、第1の表面とこの第1の表面とは反対側の第2の表面とを有し、かつ第1の表面に第1および第2のポート、第1の信号バスならびに複数の第1の個別素子が配置されるベース基板と、このベース基板の第2の表面に配置される複数の第2の個別メモリ素子と、第2の表面に配置されかつ第2のポートとベース基板を貫通する貫通孔を介して結合される第3のポートと、この第3のポートと対向してベース基板の第2の表面に配置される第4のポートと、第3および第4のポートの間に複数の第2の個別メモリ素子に共通に配置され、第3のポートから第4のポートへ向かって信号を伝達する第2の信号バスをさらに備える。第2のポートは、第1の信号バスに結合する第1の信号線ノードを含み、第3のポートは、この第1の信号線ノードに貫通孔を介して接続される第2の信号線ノードを含む。第1および第2の信号バスは、これら第2および第3のポートの貫通孔を介して相互接続される。

【0024】請求項9に係るメモリスistemは、請求項8の第1のポートが、外部装置からの信号を受けるための入力端子と、この入力端子に結合され、入力端子から与えられる信号に従って第1の信号バスを駆動する送信ユニットとを含む。第4のポートが、第2の信号バスからの信号を受け、該受けた信号に相当する信号を出力する受信ユニットと、この受信ユニットに結合されかつ外部装置に結合されてこの受信ユニットからの信号を外部装置へ伝達するための出力端子とを含む。

【0025】請求項10に係るメモリスistemは、請求項8の第1のポートが、外部装置に結合される端子と、この端子に結合され、端子からの信号を受け、該受けた信号に従って第1の信号バスを駆動する送信ユニットと、ベース基板を貫通する貫通孔を介して第4のポート

に結合され、第4のポートを介して第2の信号バスからの信号を受け、該受けた信号に従って端子を駆動する受信ユニットを含む制御ユニットを含む。第4のポートは、この第2の信号バスに接続しかつ貫通孔を介して受信ユニットに結合する信号線ノードを含む。

【0026】請求項11に係るメモリスistemは、ベース基板の第1の表面に配置される複数の個別メモリ素子と、このベース基板の第1の表面およびこの第1の表面と対向する第2の表面に電気的に連続して配設されかつ複数の個別メモリ素子が共通に結合される配線と、この配線を介して複数の第1の個別メモリ素子に共通に結合され、これら複数の第1の個別メモリ素子と配線を介して信号の送信および受信を行なう制御ユニットを備える。この配線の一方方向において、制御ユニットから個別メモリ素子までの配線長と、該個別メモリ素子から制御ユニットに至る配線長との和が、複数の個別メモリ素子について実質的に同じである。

【0027】請求項12に係るメモリスistemは、請求項11の制御ユニットが、配線の一方端においてベース基板の第1の表面に配設され、複数の個別メモリ素子へ信号を送信する送信ユニットと、ベース基板の第2の表面にこの配線の他方端に配設され、配線を介して伝達される信号を受信する受信ユニットとを備える。

【0028】請求項13に係るメモリスistemは、請求項11の制御ユニットが、ベース基板の第1の表面に配置され、配線を介して複数の個別メモリ素子に信号を送信する送信ユニットと、この配線を介して伝達される信号を受信する受信ユニット両者を含む。

【0029】請求項14に係るメモリスistemは、請求項11の制御ユニットが、ベース基板の第1の表面においてベース基板の一方端部に配置され、配線と信号の送受を行なう第1の制御ユニットと、ベース基板の第2の表面においてベース基板の一方端部に配置され、この配線と信号の送受を行なう第2の制御ユニットとを備える。

【0030】請求項15に係るメモリスistemは、請求項11のメモリスistemが、さらに、制御ユニットに隣接して外部装置と制御ユニットとの信号の送信および受信を行なうためのポートを備える。

【0031】請求項16に係るメモリスistemは、請求項11の制御ユニットが、ベース基板の第1の表面の第1の端部に配置され、少なくとも送信機能を有するメモリ制御回路を含む。第1および第2の表面に配設される配線は、このベース基板の第1の端部と対向する第2の端部において形成されるベース基板を貫通する貫通孔を介して相互接続される。

【0032】請求項17に係るメモリスistemは、請求項16のメモリ制御回路が、配線からの信号を受信するための受信部をさらに備える。この受信部は、ベース基板の第1の端部に近接して形成されるこのベース基板を

貫通する貫通孔を介して第2の表面に配設された配線に結合される。

【0033】請求項18に係るメモリスistemは、請求項1の第1の信号バスが、複数の第1の個別メモリ素子の動作サイクルを規定するクロック信号を伝達するクロック信号線と、動作モードを指定するコマンドを伝達するコマンドバスと、クロック信号線と別に設けられ、少なくともこのコマンド信号の取込タイミングを与えるストロブクロック信号を伝達するストロブクロック信号線とを含む。

【0034】請求項19に係るメモリスistemは、請求項18の第1の信号バスが、外部装置からの信号を第1のポートを介して一方端に受けて複数の第1の個別メモリ素子へ伝達し、かつ他方端が終端抵抗に結合されて、外部装置から分離される信号線を含む。

【0035】請求項20に係るメモリスistemは、請求項1の第1の信号バスが、データを伝達するためのデータ線と、動作モードを指示するコマンドを伝達するためのコマンド線と、これら複数の第1の個別メモリ素子の動作サイクルを規定するクロック信号を伝達するクロック信号線とを含む。

【0036】この請求項20に係るメモリスistemは、さらに、第1および第2のポートを介して信号を送受するコントローラをさらに備える。このコントローラは、コマンド線を介して返送されるデータ出力を指示するデータ出力コマンドを検出するコマンド検出回路と、このコマンド検出回路からのデータ出力コマンド検出指示に応答して、クロック信号のデータ出力レイテンシサイクル期間経過、データ線を介して与えられるデータを取込むデータ入力回路を備える。

【0037】請求項21に係るメモリスistemは、請求項1の第1の信号バスが、クロック信号線と、複数の第1の個別メモリ素子からの出力データを伝達するためのデータ線と、コマンド印加指示信号を伝達するためのコントロール信号線とを含む。このメモリスistemは、さらに、第1および第2のポートを介して信号の送信および受信を行なうコントローラを含む。このコントローラは、コントロール信号線を介して返送されるコマンド印加指示信号を検出する検出回路と、この検出回路からの検出指示信号に応答して、クロック信号のレイテンシサイクル期間経過、データ線のデータを取込む入力回路を含む。

【0038】請求項22に係るメモリスistemは、請求項1のシステムにおいて、コントローラが、データ転送を要求するコマンド送出後、所定のレイテンシサイクル経過後データ線のデータを取込む回路をさらに備える。

【0039】請求項23に係るメモリスistemは、請求項20-22のコントローラが、複数の個別メモリ素子各々のレイテンシに対する遅延量を調整する回路をさらに含む。

【0040】請求項24に係るメモリスistemは、請求項18の複数の第1の個別メモリ素子の各々が、ストロブクロック信号を遅延して出力するその遅延量が変更可能な可変遅延回路と、この可変遅延回路の出力信号に応答して、第1の信号バスを介して伝達された信号を取込む入力回路を含む。

【0041】請求項25に係るメモリスistemは、請求項24のコマンド入力回路が、基準電圧と第1の信号バス上の入力信号とを比較し、該比較結果に従って内部信号を生成する入力バッファ回路を含む。可変遅延回路の遅延量は、この基準電圧に対する入力信号の論理判定レベルに対するマージンが大きくなるように設定される。

【0042】請求項26に係るメモリスistemは、請求項25のマージンが、基準電圧レベルを変化させて測定された結果に基づいて決定される。

【0043】請求項27に係るメモリスistemは、請求項24のメモリスistemの第1の信号バスが、アドレスバスとデータバスをさらに備える。可変遅延回路は、コマンドバス、アドレスバスおよびデータバスそれぞれの入力回路に対し別々に設けられる。

【0044】データを含む信号を、一方方向に沿って伝達することにより、各個別メモリ素子に対する信号のフライトタイムがすべて同じとなり、高速アクセスを実現することができる。また、メモリ素子の位置に応じてレイテンシを変更する必要がなく、初期設定手順が簡略化されまた、メモリ素子を最大能力で動作させることができる。

【0045】また、信号およびデータを伝達する配線を、ベース基板の両面に配設することにより、送受信ユニットをこのベース基板の一方側端部に配設することができ、外部装置との接続が容易となる。

【0046】

【発明の実施の形態】〔実施の形態1〕図1は、この発明の実施の形態1に従うメモリスistemの構成を概略的に示す図である。図1において、各々、クロック信号に同期して動作する複数のメモリ素子1a-1nが並列に配置される。これらのメモリ素子1a~1nの各々は、チップ単体であってもよくまた複数のメモリチップを有するメモリモジュールであってもよい（メモリモジュール内の遅延時間が無視できる場合）。

【0047】これらのメモリ素子1a~1nに共通に、動作サイクルを規定するクロック信号CLKを伝達するクロック信号線3、コマンドCMDを伝達するコマンドバス2、およびデータDQを伝達するデータバス4が配置される。コマンドバス2は、また、アドレス信号を伝達する。これらのクロック信号線3、コマンドバス2およびデータバス4の両端に、送信ユニット5および受信ユニット6が配置される。これらの送信ユニット5および受信ユニット6は、図56に示すメモリコントローラMCの送信機能および受信機能をそれぞれ有する。

【0048】送信ユニット5は、クロックドライバ7からのクロック信号CLKに同期して、コマンドCMDおよびアドレスをコマンドバス2上に伝達し、かつクロック信号CLKをクロック信号線3上に伝達する。この送信ユニット5は、またデータバス4上に書込データDQを伝達する。受信ユニット6は、クロック信号線3を介して与えられるクロック信号CLK、コマンドバス2を介して与えられるコマンド/アドレス、およびデータバス4を介して与えられるデータDQを受ける。これらのコマンドバス2、クロック信号線3およびデータバス4は、したがって送信ユニット5から受信ユニット6へ向かって一方方向に沿って信号を伝達する。メモリ素子1a~1nそれぞれについて、送信ユニット5に対する距離と受信ユニット6に対する距離の和が等しくなる。したがって、以下に詳細に説明するように、コマンド、アドレスおよびデータとクロック信号CLKのスキューを解消することができる。これは、各メモリ素子1a~1nについては、データ書込時の信号のフライト時間は同じであり、またデータ読出時においても、コマンド/アドレスが伝達される時間と読出データが受信ユニットへ伝達される時間の和が等しくなるためである。

【0049】図2(A)は、メモリ素子1a~1nに対するデータ読出時の信号のフライトタイムを概略的に示す図である。図2(A)においては、メモリ素子1a~1nは、すべて同じコラムレイテンシ(リードレイテンシ)CLを有している。図2(A)において、メモリ素子1a~1nへは、送信ユニット5から、時間Ta1経過後コマンドCMDおよびアドレスが到達する。メモリ素子1aは、このクロック信号CLKに同期して取込んだコマンドCMDおよびアドレスに従ってメモリセル選択動作を行ない、コラムレイテンシCL経過後有効データをデータバス4上に伝達する。このデータバス4上のデータDQは、時間Tb1経過後、受信ユニット6に伝達される。

【0050】一方、メモリ素子1nにおいては、送信ユニット5からのコマンドCMDおよびアドレスは、時間Tan経過後に到達する。このクロック信号CLKに同期して取込んだコマンドCMDおよびアドレスに従ってメモリ素子1nがメモリセル選択動作を行なってコラムレイテンシCL経過後データをデータバス4上に出力する。このメモリ素子1nからのデータDQは、時間Tbn経過後受信ユニット6に到達する。送信ユニット5と受信ユニット6の間の距離は、一定である。すなわち、データ読出時、次式が成立する。

【0051】

$$Ta1 + Tb1 + CL = Tan + Tbn + CL$$

したがって、コラムレイテンシCLがメモリ素子1a~1nすべてについて同じであるため、コマンドがメモリ素子に到達するのに要する時間と、このリードコマンドに従ってデータを読出し、読出データが受信ユニットに

到達するまでに要する時間の和は、すべてのメモリ素子1a~1nについて同じである($Ta + Tb = \text{一定}$)。

【0052】したがって、コラムレイテンシCLを、メモリ素子1a~1nの実力に応じた最小値に設定しても、これらのメモリ素子1a~1nは、送信ユニット5から出力されたコマンドに対し同じ応答特性を持って受信ユニット6に読出データを伝達することができる。

【0053】コマンドおよびアドレスおよびクロック信号は、伝達するコマンドバス2とクロック信号線3を介して同一方向に伝達されており、これらの間にスキューは生じない。また読出データとクロック信号CLKも同一方向に伝達されており、受信ユニット6到達時においてこれらのスキューは生じない。したがって、すべてのメモリ素子1a~1nは同じ状態に初期設定することができ、煩雑な初期設定をする必要がなく、メモリシステム立上げ時の手順が簡略化される。また、受信ユニット6においては、コマンドCMDが到達した場合、メモリ素子1a~1nのコラムレイテンシCL経過後、データバス4を介してリードデータが伝達されるため、有効データを容易にサンプリングすることができる。

【0054】図2(B)は、データ書込時の各信号のフライトタイムを概略的に示す図である。図2(B)に示すように、データ書込時においては、送信ユニット5から、クロック信号CLK、コマンドCMDおよびアドレスおよび書込データDQが同一方向に伝達される。したがって対象となるメモリ素子へは同一タイミングでクロック信号CLK、コマンドCMD、アドレスおよび書込データDQが到達するため、メモリ素子は正確に、クロック信号に応答して書込データを取込むことができる(これらの信号およびデータにスキューは生じていないため)。

【0055】[変更例1] 図3は、この発明の実施の形態1の変更例1の構成を概略的に示す図である。この図3に示す構成においては、送信ユニット5aと受信ユニット6aの間に、さらに、データのストロブ用のクロック信号DCLK(またはQS)を伝達するストロブクロック信号線7が配設される。このストロブクロック信号線7は、メモリ素子1a~1nに共通に結合される。このストロブクロック信号線7上のクロック信号DCLKは、データ書込時においては、メモリ素子1a~1nに対するデータ書込タイミングを与える。データ読出時においては、メモリ素子1a~1nが、読出データと同時に、この読出データをサンプリングするタイミングを与えるクロック信号(QS)をストロブクロック信号線7上に伝達する。

【0056】一方、コマンドCMDおよびアドレスを伝達するコマンドバス2に対しては、コマンドおよびアドレスを取込むタイミングを与えるコマンドクロック信号CCLKがクロック信号線3aを介して伝達される。このコマンドクロック信号線3aも、送信ユニット5aか

ら受信ユニット6aに延在して配置され、またメモリ素子1a~1nに共通に結合される。コマンドクロック信号CCLKは、また、メモリ素子1a~1nの動作サイクルを規定する。

【0057】この図3に示す構成においては、メモリ素子1a~1nは、たとえばDDRDRAMまたはSLDRAMである。コマンドおよびアドレスを取込むためのクロック信号CCLKと別に、ストロブクロック信号線7を用いてデータストロブ用のクロック信号DCLKを伝達する構成としても、これらのデータバス4およびストロブクロック信号線7の長さが同じでありかつ同一方向に信号を伝達しており、またコマンドクロック信号線3aとコマンドバス2の長さは同じでありかつ同一方向に信号を伝達しており、先の図1に示す構成と同様の効果を得ることができる。この場合、さらに、データストロブ用のクロック信号線7はデータバス4と近接して配置されており、この配線抵抗および寄生容量に起因するデータDQとクロック信号DCLKのスキューをより小さくすることができ、より正確なデータサンプリングを行なうことができる。図4は、この発明の実施の形態1に従うメモリシステムを用いたデータ処理システムの構成の一例を概略的に示す図である。図4においては、送信ユニット5と受信ユニット6の間にメモリユニット10が配置される。このメモリユニット10は、先の図1および図3に示すメモリ素子1a~1n、クロック信号線3(3a)、コマンドバス2、データバス4を含む。このメモリユニット10が1つの単位としてモジュール化されてもよい(メモリユニット10、送信ユニット5、および受信ユニット6が、別々のデバイスで構成される)。

【0058】これらの送信ユニット5および受信ユニット6は、システムデータバス11およびコントロールバス12を介してプロセッサ10に結合される。プロセッサ10は、データ書込時には、コントロールバス12を介して書込命令を与え、送信ユニット5へシステムデータバス11を介して書込データを伝達する。送信ユニット5は、このプロセッサ10からのデータ書込要求を受けたとき、バスメモリユニット10におけるバスの使用状況を検出し、その検出結果に従ってプロセッサ10に、データ受付の了解または不了解を示す信号を出力する。メモリユニット10のデータバスに空きがあり、データ送信を行なうことができる場合には、送信ユニット5が、このコントロールバス12を介してプロセッサ10へ了解信号を与え、プロセッサ10が、データをアドレスとともに送信ユニット5へ、このシステムデータバス11を介して伝達する。

【0059】一方データ読込時においては、プロセッサ10は、受信ユニット6から、データ送信要求を受け、システムデータバス11に空きがあるときには、このプロセッサ10は受信ユニット6に対しデータ受信了解を

コントロールバス12を介して送出する。システムデータバス11においては、プロセッサ10から送信ユニット5へデータが伝達され、受信ユニット6からはプロセッサ10へデータが伝達される。このシステムデータバス11に他の制御装置が接続されていてもよく、またこのシステム専用のデータバスであってもよい。

【0060】この送信ユニット5および受信ユニット6とプロセッサ10の間で、いわゆるハンドシェイク態様(リクエスト/アクノリッジ信号の送受)を行なうことにより、メモリユニット10におけるデータバスの状況に応じて、正確にデータの転送を行なうことができる。この構成は、単に、従来のメモリコントローラMCがプロセッサ13との間のデータ転送時に行なう動作を送信ユニット5および受信ユニット6がそれぞれ受持っている構成と等価である。

【0061】図5は、図4に示す受信ユニット6の構成を概略的に示す図である。図5において、受信ユニット6は、クロック信号CLK(CCLK)を受けて内部クロック信号を生成するクロックバッファ6aと、クロックバッファ6aからの内部クロック信号に同期して動作し、コマンドCMDがデータ読出を示すリードコマンドであるか否かを検出するコマンド検出回路6bと、クロックバッファ6aからの内部クロック信号に同期して動作し、コマンド検出回路6bからのリードコマンド検出指示信号に応答して起動され、所定のレイテンシ期間(クロック信号CLKのリードコマンドが与えられてから有効データが出力されるのに必要とされる期間)をカウントするレイテンシ制御回路6cと、レイテンシ制御回路6cの制御の下に起動され、データバスを介して与えられるデータDQを取込むデータ入力回路6bと、コマンド検出回路6bからのリードコマンド検出信号に応答して、コントロールバス12を介して、プロセッサ10と信号の転送の要否を問い、レイテンシ期間経過後、データ転送許可がコントロールバス12を介して与えられたとき、転送回路6fを介してデータ入力回路6aに与えられたデータを順次システムデータバス11を介して転送する転送制御回路6eを含む。

【0062】この図5に示す受信ユニットの構成においては、クロックバッファ6aおよびコマンド検出回路6bに、送信ユニットからのクロック信号CLKおよびコマンドCMDが同じタイミングで与えられる(転送経路の長さは同じ)。レイテンシ制御回路6cは、メモリ素子1a~1nに設定されたコラムレイテンシCL情報を格納し、リードコマンド検出時、このコラムレイテンシCL経過後データ入力回路6dを活性化する。データ入力回路6dは、このレイテンシ制御回路6cまたはクロックバッファ6aから与えられる内部クロック信号に同期して、このデータDQを取込む。転送回路6fは、データ入力回路6bからのデータを順次取込む。転送制御回路6eからの転送制御指示信号に従って、この転送回

路6fが、システムデータバス11を介してプロセッサ10に読出されたデータを伝達する。ストローブクロック信号QSが用いられるとき、レイテンシ制御は不要である。このストローブクロック信号QSに従ってデータ入力回路6dがデータを取込む。

【0063】図6は、図4に示す送信ユニット5の構成を概略的に示す図である。図6において、送信ユニット5は、プロセッサからコントロールバス12を介して与えられる命令をデコードする命令デコーダ5aと、この命令デコーダ5aからのデータストア命令に従ってデータ書込のためのコマンドを生成するコマンド生成回路5bと、命令デコーダ5aからのストア命令指示に応答して、コントロールバス12を介してプロセッサ10とデータの転送を調整し、データ受入れ可能なとき、システムバス11へのデータ転送を許可する転送制御回路5cと、この転送制御回路5cの制御の下に、システムバス11を介して与えられるデータを取込むデータ入力回路5dと、転送制御回路5cの制御の下に、このデータ入力回路5dにより取込まれたデータを、書込データDQとして転送する転送回路5eを含む。コマンド生成回路5bは、また、転送制御回路5cの制御の下に、生成したコマンドCMDをクロック信号CLKとともに送出する。

【0064】命令デコーダ5aへコントロールバス12を介して与えられる命令は、たとえばキャッシュミス時にキャッシュコントローラから生成されるストア命令またはロード命令などの、メモリユニット10へのアクセスを示す命令を含む。転送制御回路5cは、このようなメモリユニットへのアクセスを指示する命令が与えられると、メモリユニット10へのアクセス状況をモニタし、そのモニタ結果に基づいて、プロセッサ10との間で、ハンドシェイク態様でデータ転送を制御する。

【0065】コマンド生成回路5bは、この命令デコーダ5aによりデコードされた命令に従って、この命令を実行するために必要なコマンドを生成する。たとえば、データアクセス指示を受けたときには、メモリユニットのメモリアレイを活性状態へ駆動するアクティブコマンド、およびデータの書込または読出を示すコマンドおよびデータアクセス終了を示すプリチャージコマンドなどを生成する。この命令デコーダ5aへは、またコントロールバス12を介してアドレス情報が与えられ、コマンド生成回路5bは、また命令デコーダ5aに与えられる命令に含まれるアドレス情報に基づいて、メモリユニット10に対するアドレスを生成する。

【0066】転送制御回路5cは、メモリユニット10へのアクセスが可能なときに、このコマンド生成回路5bおよび転送回路5eを所定のタイミングで活性化し、データの書込を実行する。

【0067】このコマンド生成回路5bが生成するコマンドの形態は、このメモリユニットに含まれるメモリ素

子1a~1nの種類に応じてパケット形態(SLDRA M、ダイレクトDRAM)、または通常の1クロックサイクルに1つの命令を指示するコマンドが生成される形態いずれでもよい。それらは、用いられるメモリ素子の種類に応じて適当に定められる。データストローブクロック信号CLKが用いられる場合、転送回路5eは、このデータストローブクロック信号を伝達する。

【0068】この送信ユニット5において、リード/ライト動作に必要なコマンドを生成してメモリユニット10へ与え、データ書込時においては、また転送回路5eから書込データを転送する。データ読出時においては、転送回路5bは出力ハイインピーダンス状態にあり、受信ユニット6の入力回路がデータを取込む。

【0069】なお、命令デコーダ5aへは、コントロールバス12を介して命令が与えられている。しかしながら、命令バスおよびアドレスバスが、このコントロールバス12と別に設けられていてもよい。

【0070】以上のように、この発明の実施の形態1に従えば、複数のメモリ素子を並列に接続し、一方方向に沿ってクロック信号、コマンド、アドレスおよびデータを転送するように構成しているため、これらのメモリ素子におけるアクセス時間はすべて同じとなり、メモリ素子の最大の性能でデータアクセスを行なうことができる。また、データ、コマンドおよびアドレス、およびクロック信号は同一方向に転送されており、これらのクロック、コマンドおよびアドレスならびにデータ間のスキューが生じず、正確なデータアクセスを行なうことができる。

【0071】〔実施の形態2〕図7は、この発明の実施の形態2に従うメモリスステムの構成を概略的に示す図である。図7において、このメモリスステムは、ベース基板20の第1の表面21a上に配置される複数のメモリチップCHと、このベース基板20の第2の表面21bに配列される複数のメモリチップCHを含む。ベース基板20は、メモリモジュール形成時におけるマウント基板または、ボードレベルの実装時におけるプリント回路基板のいずれであってもよい。メモリチップCHは、フリップチップまたはパッケージ実装デバイスいずれでもよい。

【0072】ベース基板20の第1の表面21aには、外部とのインターフェイスを取るための第1のポート22が配置され、この第1のポート22の配置位置と対向する位置に第2のポート23が配置される。これらの第1のポート22と第2のポート23の間にメモリチップCHが配置され、これらの第1のポート22、メモリチップCHおよび第2のポート23が、配線26aおよび26bを介して結合される。これらの配線26aおよび26bは、先の実施の形態1におけるクロック信号を伝達するクロック信号線、コマンドおよびアドレスを伝達するコマンドバス、ならびにデータを伝達するデータバ

スを含む。これらの配線26aおよび26bは、第1のポート22から第2のポート23へ向かって、クロック信号、コマンド、アドレス、およびデータを伝達する。メモリチップCHは、この配線26aおよび26bに共通に結合され、先の実施の形態1と同様の動作を行なう。

【0073】ベース基板20の第2の表面21bにおいても、同様、第2のポート23と電気的に結合される第3のポート24と、外部装置との間でのインターフェイスを取るための第4のポート25が設けられる。これらの第3のポート24および第4のポート25が第2の表面21bにおいて対向して配置され、メモリチップCHが、これらの第3のポート24および第4のポート25に配線27aおよび27bを介して結合される。配線26aおよび26bと同様、これらの配線27aおよび27bは、第3のポート24から第4のポート25へ向かって、信号を伝達する。

【0074】第1のポート22は、外部装置との接続を取るための端子22aと、この端子22aを介して外部装置（たとえばプロセッサ）を介して与えられる信号に従って、必要な信号を配線26aおよび26b上に伝達する送信ユニット22bを含む。第2のポート23は、このベース基板20の第1の表面21aに形成される貫通孔（ビアホール）を含む。第3のポート24は、このベース基板20の第2の表面21bに形成される貫通孔24aを含む。この貫通孔23aおよび24aは、ベース基板20を貫通するように形成され、第2のポート23および第3のポート24に形成される貫通孔23aおよび24bを介して第1の表面21aに形成された配線26aおよび26bと第2の表面21bに形成された配線27aおよび27bが電気的に接続される。貫通孔23aおよび24aは、同じ貫通孔を示す。

【0075】第4のポート25は、配線27aおよび27bを介して与えられる信号を受けて外部装置へ伝達する信号を生成する受信ユニット25bと、この受信ユニット25bからの信号を受けて外部装置へ伝達するための端子25aを含む。

【0076】信号は、図7において破線で示すように、ベース基板20の第1の表面21aにおいては、第1のポート22から第2のポート23へ向かって流れ、次いで貫通孔23aおよび24aを介して第2の表面21bに伝達され、次いで第3のポート24から第4のポート25へ向かって流れる。したがって、配線26a、26b、27aおよび27bは、信号を一方方向に伝達しているだけであり、先の実施の形態1と同様、メモリチップCHそれぞれにおいて信号のスキューを生じることなく、また各メモリチップCHに対する応答時間はすべて等しくすることができる。これは、先の実施の形態1と同様、メモリチップCHすべてについて、送信ユニット22bからの距離と受信ユニット25bに至るまでの距

離の和がすべて同じとなるためである。

【0077】また、このベース基板20の両表面に、メモリチップCHを配置し、かつ配線26aおよび26bおよび27aおよび27bを配置することにより、メモリチップCHを、ベース基板面積を増加させることなく高密度に配置することができる。

【0078】さらに、ベース基板20の一方側端部に外部とのインターフェイスを取るための第1のポート22および第4のポート25を配置することにより、このベース基板20の一方側において外部装置とのコンタクトを取るための配線を配置することができ、システムのレイアウトが容易となる。また、ベース基板20がモジュールの基板またはスロットのような回路基板の場合、ベース基板20の一方側端部で外部装置との電気的コンタクトを取るためのソケットを配置することができ、容易に外部装置とのコンタクトを取るることができる。

【0079】なお、この図7に示す配置において、メモリチップCHは、そのベース基板20の第1の表面21aおよび第2の表面21bの一方側においてのみ設けられてもよい。配線は、第1および第2の表面21aおよび21bに連続的に配設されており、メモリチップCHに対する信号のフライトタイムが同じとなればよい。

【0080】[変更例1] 図8は、この発明の実施の形態2の変更例1の構成を概略的に示す図である。図8に示す構成においては、第1のポート22は、外部とのインターフェイスを取るための端子22aと、この端子22aに接合され、外部装置と信号の送受を行なうメモリコントローラ22cと、第2の表面21bに到達する貫通孔22dを含む。メモリコントローラ22cの送信部には、配線26aおよび26bが接続され、これらの配線26aおよび26bは、第1の表面21aに配設されたメモリチップCHに共通に結合され、第2のポート23へ向かって信号を伝達する。

【0081】第1のポート22に形成された貫通孔22dは、第2の表面21bに配置された第4のポート25に形成される貫通孔25cに連通する。貫通孔25cおよび22dを介して、第2の表面21bに配設される配線27aおよび27bがメモリコントローラ22cに接合される。他の構成は、図7に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0082】この図8に示す構成においては、送信機能および受信機能両方を含むメモリコントローラ22cが第1のポート22に設けられる。したがって、メモリコントローラ22cを、送信ユニットおよび受信ユニットに分離する必要がなく、端子数を低減することができる。この図8に示す配置においては、メモリコントローラ22cからの送信信号は、配線26aおよび26bを介して第1の表面21aに配置されたメモリチップCHへ伝達される。次いで、この配線26aおよび26b上に伝達された信号は、第2のポート23に含まれる貫通

孔23aを介して第2の表面21bに伝達され、この貫通孔23aが、第2の表面21bの第3のポート24に形成された貫通孔24aと連通しており、配線26aおよび26b上の信号は、第1のポート23および第3のポート24を介して第2の表面21bに配設された配線27aおよび27bに伝達される。配線27aおよび27b上の信号は、第2の表面21bに配設されたメモリチップCHへ伝達され、次いで第4のポート25に伝達される。第4のポート25に伝達された信号は、貫通孔25cおよび第1のポート22に形成された貫通孔22dを介してメモリコントローラ22cの受信部へ伝達される。したがってこの場合においても、信号の流れは、一方方向であり、メモリチップCHそれぞれに対する信号のフライトタイムは同じとすることができる。

【0083】図9は、図8の第1および第4のポートの部分拡大して示す図である。図9に示すように、メモリコントローラ22cの受信部は、貫通孔22dおよび25cを介して第2の表面21bに配置される配線27に接続される。メモリコントローラ22cからの信号は、第1の表面21a上の配線26(26a, 26b)に伝達される。したがって、この場合においても、信号の伝播方向は一方方向であり、送信信号および受信信号の衝突を伴うことなくメモリチップCHと信号授受を行なうことができる。

【0084】この図8および図9に示す構成においては、信号送受用の端子を、ベース基板20の一方側に集中して配置することができ、外部装置との接続が容易となる。

【0085】[変更例2] 図10は、この発明の実施の形態2の変更例2の構成を概略的に示す図である。図10に示す構成においては、メモリコントローラ22cから送出される信号は、貫通孔22dおよび25cを介してベース基板の第2の表面21bに配置された配線27へ伝達される。この配線27上に伝達された信号は、図示しない貫通孔を介して第1の表面21a上に配置された配線26上に伝達されて、メモリコントローラ22cに伝達される。この図10に示す配置においては、図8および図9に示す構成と信号の流れが逆方向となる。この場合においても、メモリチップそれぞれに対する信号のフライトタイムはすべて同じとなり、同様の効果を得ることができる。なお、図10に示す構成において、信号の流れの方向を除いて、動作は、図8に示す構成と同じである。

【0086】なお、図8から図10に示す構成においても、メモリチップCHは、ベース基板20の一方側の表面においてのみ設けられてもよい。

【0087】[変更例3] 図11は、この発明の実施の形態2の変更例3の構成を概略的に示す図である。図11に示す構成において、第1のポート22においては、送信および受信機能両者を含むメモリコントローラ22

cが配設され、また第4のポート25においても、送信機能および受信機能両者を含むメモリコントローラ25dが配置される。これらのメモリコントローラ22cおよび25dは、ベース基板20の第1の表面21aおよび第2の表面21bに配設される配線26a、26b、27aおよび27bを介して相互接続される。

【0088】この図11に示す構成においては、メモリコントローラ22cからの信号は、配線26aおよび26b上へ伝達され、次いで、貫通孔23aおよび24aを介して配線27aおよび27bに伝達され、次いでメモリコントローラ25cの受信部へ伝達される。一方、メモリコントローラ25dからの信号は、配線27aおよび27bへ伝達され、次いで貫通孔24aおよび23aを介して配線26aおよび26bに伝達される。次いで、この信号が、メモリコントローラ22cの受信部へ伝達される。

【0089】この図11に示すように、ベース基板20の第1の表面21aおよび第2の表面21bそれぞれに、通信機能(送受信機能)を有するメモリコントローラ22cおよび25dを配置することにより、マルチプロセッサシステムにおいてメモリチップCHを共有メモリとして利用することができる。

【0090】図12は、図11に示すメモリスシステムを利用する処理システムの構成を概略的に示す図である。

図12においては、メモリスシステムとしてメモリコントローラ22cおよび25cを示し、また、メモリスシステムにおける信号の流れの方向を示す。メモリチップは省略される。メモリコントローラ22cおよび25dは同一配線を介して通信を行なうが、図12においては、信号の送受を明確にするため、配線を別配線として示す。

【0091】図12において、この処理システムは、バス32aに結合されるプロセッサ30aと、バス32bに結合されるプロセッサ30bを含む。これらのバス32aおよび32bは、それぞれ、データ、制御信号、および命令を伝達する。メモリコントローラ22cは、バス32aの信号(命令、およびデータ)を受け、必要な信号(コマンド、アドレス、クロック信号および書込データ)を生成してメモリコントローラ25c方向に伝達する。メモリコントローラ25dは、読出されて伝達されたデータを、バス32a上に伝達する。また、メモリコントローラ25dは、バス32b上の信号を受け、必要な信号を生成してメモリコントローラ22c方向に伝達する。メモリコントローラ22cは、与えられた信号をバス32b上に伝達する。

【0092】この図12に示す構成において、メモリコントローラ22cおよび25dは、それぞれプロセッサ30aおよび30bとそれぞれ、信号の授受を行なう。メモリコントローラ22cおよび25dはそれぞれ、メモリユニットからの必要データの受信完了時、即座に、信号をメモリユニット(メモリチップ)へ伝達すること

ができる（自身がデータの受信の完了をモニタすることができるため）。

【0093】したがって、たとえば、プロセッサ30aが通常のデータ処理用のプロセッサであり、プロセッサ30bが画像データ処理用のプロセッサなどの画像処理用途においても、高効率で、これらのプロセッサ30aおよび30bが、メモリスシステムへアクセスすることができる。

【0094】なお、図12に示す構成において、バス32aおよび32bに代えて、共通バスが用いられてもよい。プロセッサ特定用の識別子またはアドレスをメモリコントローラ22cおよび25dに与えることで、共通バスシステムにおいても、正確に信号の送受信を行なうことができる。

【0095】以上のように、この発明の実施の形態2に従えば、ベース基板の両面に信号配線を、連続的に一方方向に信号を伝達するように配置しかつこのベース基板の少なくとも一方側表面にメモリチップを、配線に並列に接続しているため、メモリチップの配置位置にかかわらず信号のフライトタイムを同一とすることができ、高速アクセスが実現される。また、配線のいわゆる折返し構造により、外部装置とのインターフェイスをとる部分をベース基板の一方側に配設することができ、外部装置との接続が容易となる。また、メモリチップを両面に配置することにより、ベース基板面積を低減できる。

【0096】〔実施の形態3〕図13は、この発明の実施の形態3に従うメモリスシステムの構成を概略的に示す図である。図13においては、メモリモジュールMM#0～MM#3が直列に接続される。メモリモジュールMM#0～MM#3は、それぞれ、メモリチップCHを含む。これらのメモリモジュールMM#0～MM#3におけるメモリチップCHの配置は、先の実施の形態1におけるものと同じである。メモリモジュールMM#0～MM#3のそれぞれは、信号を入力するための第1のポートに対応する入力ポート42aと、信号を出力するための第2のポートに対応する出力ポート42bを含む。これらのメモリモジュールMM#0～MM#3においては、内部にはメモリコントローラが設けられておらず、単にメモリチップCHのみが、バスに並列に接続される。これらのメモリモジュールMM#0～MM#3に対し、共通に、動作を制御するためのメモリコントローラ35が設けられる。

【0097】メモリコントローラ35からの信号は、配線40aを介してメモリモジュールMM#0の入力ポート42aへ与えられる。メモリモジュールMM#0の出力ポート42bからの信号は、配線40bを介してメモリモジュールMM#1の入力ポート42aへ与えられる。メモリモジュールMM#1の出力ポート42bからの信号は、配線40cを介してメモリモジュールMM#2の入力ポート42aに与えられる。メモリモジュール

MM#2の出力ポート42bからの信号は、配線40dを介してメモリモジュールMM#3の入力ポート42aへ与えられる。メモリモジュールMM#3の出力ポート42bからの信号は配線40eを介してメモリコントローラ35へ返送される。メモリモジュールMM#0～MM#3それぞれにおいて、メモリチップCHすべては、入力ポート42aから出力ポート42bに対する信号のフライト時間が同じである。したがって、配線40b、40c、および40dにより信号が一方方向に伝達されるため、メモリモジュールMM#0～MM#3それぞれのメモリチップCHに対する信号のフライトタイムをそれぞれ同じとすることができ、高速アクセスが実現される。入力ポート42aおよび出力ポート42bはピン端子と内部配線を含む。

【0098】また、メモリコントローラ35から出力される信号として、クロック信号CLK、コマンドCMDおよびデータDATを代表的に示す。メモリコントローラ35へ返送する必要のない信号、たとえばアドレス信号を伝達する信号線41は、終端抵抗Rにより終端される。この終端抵抗Rは、メモリコントローラ35の入カインピーダンスと、またはメモリモジュールの入カインピーダンスと等しくされる。これにより、メモリモジュールMM#0～MM#3のすべての入出力ポートの負荷条件を同じとし、信号の反射が生じるのを防止する。配線40a～40eは、すべて、メモリモジュールMM#0～MM#3を介して連続的に延在して配設されているため、反射信号がメモリコントローラ35の送出部側へ返送されるのを防止する（図13参照）。

【0099】なお、ボード実装時において、メモリモジュールの数が予め定められており、メモリモジュールに対応して、ソケットが配置されていることがある。このソケットが予め設けられているような場合において、メモリモジュールの数を削減する場合、ダミーモジュールとして、このモジュールの空き領域に、配線を配設する（ソケット間を配線により接続する）。これにより、信号を一方方向に沿って伝達するという特徴を損なうことなく、メモリスシステムの記憶容量を変更することができる。ここで、ダミーモジュールにおいて、ソケットなどによりインピーダンス不整合などが生じる可能性があるため、このダミーモジュールにおいて、インピーダンス整合をとるため、適当なインピーダンス整合用の抵抗を各配線に接続する。

【0100】以上のように、この発明の実施の形態3に従えば、バスに並列に接続されるメモリチップを数個含むメモリモジュールを、このバスが直列接続されるようにカスケード（直列）接続しているため、メモリモジュールを用いるシステムにおいても、信号を一方方向に伝達させることができ、各メモリチップに対する信号のフライトタイムを一定とすることができ、高速アクセスが実現される。

【0101】〔実施の形態4〕図14は、図13に示すメモリシステムのデータ書込時における信号伝達状態を示す波形図である。メモリコントローラからは、メモリチップにおける信号受信精度を高くするために、相補クロック信号CLKおよび/CLKを伝達する。このメモリコントローラ35は、コマンド印加を示すチップセレクト信号/CSと、制御信号群であるコマンドCMD、データDAT、および相補ストロブクロック信号QSおよび/QSを伝達する。アドレス信号ADDも伝達されるが、図には示していない。メモリチップは、データ読出時においては、読出データに同期してストロブクロック信号QSおよび/QSを出力する。次に、この図14を参照して、データ書込時の信号伝達について説明する。

【0102】メモリコントローラ35においては、時刻t0に、データ書込を行なうメモリチップを選択状態へ駆動するためのアクティブコマンドACTを出力する。このアクティブコマンドACT印加時においては、クロック信号CLKの立上がりエッジにおいて、チップセレクト信号/CSをLレベルの活性状態に設定し、次いでこのクロック信号CLKの立上がりエッジおよび立下がりエッジに同期してコマンドCMDを出力する。コマンドCMDについては、このクロック信号CLKの2サイクルにわたって連続して出力される4つのコマンドビット群により1つのアクティブコマンドACTが生成される。図示しないが、このコマンドCMDと同時に、またアドレス信号が与えられる。コマンドCMDの各ビット群のサンプリングタイミングを与えるために、クロック信号CLKの立上がりおよび立下がりに同期して変化するストロブクロック信号QSおよび/QSが出力される。

【0103】この時刻t0においてメモリコントローラ35から出力されるアクティブコマンドACTは、配線40(40a~40d)を介してメモリモジュール間を伝達される。時刻t1において、このメモリシステム内のアドレス指定されたメモリチップにアクティブコマンドACTが伝達する。この選択メモリチップにおいては、チップセレクト信号/CSの立下がりエッジに応じて、有効コマンドが与えられたことを判定し、このアドレス信号に含まれるチップ特定信号に従って、与えられたコマンドCMDをストロブクロック信号QSおよび/QSに従って取込む。この選択メモリチップ内において、アレイ活性化(メモリセル行の選択状態への駆動)が行なわれる。

【0104】メモリコントローラ35から出力された信号群は、配線40a~40eを介して再びメモリコントローラ35へ返送される。図14においては、時刻t2において、再びこのアクティブコマンドACTが返送された状態を示す。クロック信号CLK、/CLK、チップセレクト信号/CS、コマンドCMD、およびストロ

ーブクロック信号QSおよび/QSは、すべて同一方向にわたって同一伝搬経路(配線長の誤差は無視する)にわたって伝達されている。したがって、メモリコントローラ35に返送された信号群においても、信号の位相がすべて揃っている。

【0105】時刻t3においてデータ書込を示すライトコマンドWRITEが出力される。このライトコマンドWRITEにおいても、クロック信号CLKの立上がりエッジで、チップセレクト信号/CSをLレベルにし、コマンドCMDを構成するビット群はクロック信号CLKの立上がりエッジおよび立下がりエッジに同期して連続して出力される。また、このコマンドCMDと同時に書込データDATおよびアドレス信号を出力する。これらのコマンドCMDおよび書込データDATおよびアドレス信号のストロブタイミングを与えるために、ストロブクロック信号QSおよび/QSが出力される。

【0106】時刻t4において、書込データDATが選択メモリチップに到達する。メモリチップにおいては、チップセレクト信号/CSの立下がりによって、有効コマンドが与えられたと判定し、このコマンドCMDを取込む。この取込のために、相補のストロブクロック信号QSおよび/QSが与えられている。したがって、メモリチップにおいて、正確に、与えられた信号群を取込むことができる。メモリチップ内部において、この与えられる信号群を取込むために、クロック信号CLKの位相を調整するためのクロック再生回路を設ける必要がなく、内部構成を簡略化することができる。ただし、メモリチップ内部におけるストロブクロック信号のスキューが大きい場合には、この取込に対するマージンを回復するために、クロック再生回路が必要となる。

【0107】配線40a~40dにおいて、各信号線のインピーダンスが揃っていれば、各信号の位相が揃っているため、正確に、信号群をメモリチップ内において取込むことができる。したがって、信号伝搬経路に要求される仕様値に対するマージンを大きくとることができる。

【0108】このライトコマンドWRITEは、再び、メモリコントローラ35へ時刻t5において返送される。時刻t3から時刻t5までの間の期間Tは、配線40a~40eを介して信号群が伝達されるのに必要とされる時間である。この時間Tは、メモリチップすべてについて等しい(すべてのメモリチップについて信号伝搬経路は同じであるため)。

【0109】図15は、データ読出時の信号の伝搬状態を示す図である。このデータ読出時において、時刻t0において、クロック信号CLKの立上がりエッジにおいてデータ読出を指示するリードコマンドREADが出力される。リードコマンドREADの印加時においては、メモリコントローラは、コマンドCMDと同時に、コマンド活性化指示信号としてチップセレクト信号/CSを

活性化し、またクロック信号CLKに同期してストロブクロック信号QSおよび/QSを出力する。

【0110】時刻t1において、このメモリコントローラからの出力信号がアドレス指定されたメモリチップへ伝達される。選択メモリチップにおいては、このチップセレクト信号/CSの活性化にตอบสนองしてコマンドが与えられたことを識別し、ストロブクロック信号QSおよび/QSの交差部をトリガとしてコマンドCMDおよびアドレス信号を取込む。

【0111】メモリコントローラから出力されたリードコマンドREADは、また配線を介してメモリコントローラへ時刻t2に伝達される。これは、データ書込時と同様である。メモリチップにおいては、内部で列選択動作が行なわれ（コマンドCMDと同時に与えられる列アドレス信号のデコード）、メモリセルデータの読出が行なわれる。

【0112】この内部のデータ読出に必要な期間すなわちリードレイテンシCLが経過すると、選択メモリチップは、クロック信号CLKの立上がりエッジおよび立下がりエッジに同期してデータを出力する。このとき、また選択メモリチップは、この読出データのストロブタイミングを与えるためのストロブクロック信号QSおよび/QSを出力する。

【0113】メモリチップから読出されたデータおよびストロブクロック信号QSおよび/QSが、時刻t4においてメモリコントローラに到達する。メモリコントローラは、この読出されたデータDATを、ストロブクロック信号QSおよび/QSの交差部をトリガ信号として取込み、内部処理を行なう。

【0114】データ読出時においては、リードコマンドREADがメモリコントローラから与えられてから、読出データDATがメモリコントローラに到達するまでには、時間TAが必要となる。リードレイテンシCLを、すべてのメモリチップにおいて同じとした場合、配線信号が伝達する時間は、時間t1-t0+t4-t3である。この時間は、すべてのメモリチップにおいて同じであり、データ読出時においても、効率的に、データアクセスを行なうことができる。

【0115】ストロブクロック信号QSおよび/QSの交差部をトリガとしてメモリコントローラおよびメモリチップが、与えられた信号を取込むことにより、高精度に、信号の取込を行なうことができる。

【0116】メモリシステムの構成においては、選択メモリチップからのデータが読出される時刻t3がバースト長のデータ（図15においては、バースト長4）のデータが読出されるまで、ライトコマンドの発行が禁止される。メモリチップからバースト長のデータが読出された後に、ライトコマンドの発行が可能である。これは、配線（データバス）上での読出データと書込データとの衝突を防止するためである（最もメモリコントローラに

近いメモリチップからデータが読出されている最悪ケースを想定する）。

【0117】図16は、メモリコントローラ35の構成を概略的に示す図である。図16において、メモリコントローラ35は、図示しないプロセッサと信号の送受を行なう送受信制御回路50と、送受信制御回路50の制御の下に、コマンドCMDを生成して順次出力するCMD制御回路51と、送受信制御回路50の下にアドレス信号ADDを生成して順次出力するADD制御回路52と、送受信制御回路50から書込データを受けて順次出力するDAT制御回路53と、CMD制御回路51の制御の下に、ストロブクロックタイミング信号を生成するQS制御回路54と、外部に設けられた発振器49からのクロック信号SCLKを受けて内部クロック信号を生成するクロックバッファ/ドライバ55と、クロックバッファ/ドライバ55からの内部クロック信号を受けてクロック信号CLKを生成するクロックバッファ58aと、クロックバッファ/ドライバ55からの内部クロック信号をインバータ56aを介して受けて補のクロック信号/CLKを生成するクロックバッファ58bと、クロックバッファ/ドライバ55からの内部クロック信号とQS制御回路54の出力信号とに従ってストロブクロック信号QSを生成するバッファ58cと、インバータ57aを介して与えられる内部クロック信号とQS制御回路54の出力信号とに従って補のストロブクロック信号/QSを生成するバッファ58bと、クロックバッファ/ドライバ55からの内部クロック信号とCMD制御回路51からのコマンドとに従ってコマンドCMDを出力するバッファ58e~58fと、クロックバッファ/ドライバ55からの内部クロック信号とADD制御回路52からのアドレス信号とに従ってアドレス信号ADDを出力するバッファ58g~58hと、DAT制御回路53からのデータビットとクロックバッファ/ドライバ55からの内部クロック信号とに従って書込データDATを出力するバッファ58i~58jを含む。

【0118】バッファ58a~58dは、クロックバッファ/ドライバ55からの内部クロック信号に同期して出力信号を変化させる。クロック信号CLKおよび/CLKのエッジにおいてコマンドCMD、アドレス信号ADDおよび書込データDATの状態は確定する。

【0119】CMD制御回路51、ADD制御回路52、DAT制御回路53およびQS制御回路54は、図6に示すコマンド生成回路5bおよび転送回路5eに相当し、送受信制御回路50の制御の下に、コマンドCMD、アドレス信号ADDおよびデータDATを順次出力する。バッファ58c~58jは、また、非活性化時、出力ハイインピーダンス状態に設定されてもよい。

【0120】メモリコントローラ35は、さらに、クロック信号CLKを受けるバッファ59aと、補のクロック信号/CLKを受けるバッファ59bと、ストロブ

クロック信号QSおよび/QSを受けるバッファ59cおよび59dと、コマンドCMDを受けるバッファ59e~59fと、データDATを受けるバッファ59i~59jを含む。これらのバッファ59a~59jは、単にバッファ処理する回路であればよく、入力信号の論理レベルを判定するために基準電圧と比較する差動増幅型の入力回路がこれらのバッファ58a~58jとして用いられてもよい。メモリコントローラ35は、さらに、バッファ59aおよび59bを介して与えられる内部クロック信号のエッジを検出するエッジ検出回路60と、エッジ検出回路60からのエッジ情報にตอบสนองして、バッファ59e~59fを介して与えられるコマンドCMDがリードコマンドであるか否かを識別するREAD検出回路61と、READ検出回路61のリードコマンド検出指示にตอบสนองして活性化され、エッジ検出回路60のエッジ検出信号に対応してレイテンシ期間をカウントし、レイテンシ期間-1クロックサイクル経過後バッファ59cおよび59dから与えられるストロブクロック信号QSおよび/QSを伝達するレイテンシ処理回路62と、レイテンシ処理回路62の出力信号の活性化にตอบสนองして活性化され、バッファ59i~59jからのデータをレイテンシ処理回路62を介して与えられるストロブクロック信号QSおよび/QSにตอบสนองして取込むデータ取込回路63を含む。データ取込回路63により取込まれたデータは送受信制御回路50へ与えられる。

【0121】この図16に示す構成においては、メモリコントローラ35は、リードコマンドREADを検出すると、レイテンシ期間経過後、データ取込回路63を活性化して、データDATを取込む。リードコマンドが返送されると、レイテンシ期間経過後、読出データが与えられる(図15参照)。したがって、メモリコントローラ35は、容易に、読出データを取込むことができる。

【0122】READ検出回路61は、4つのビット群で構成されるコマンドCMDをデコードするデコード回路で構成されればよい。レイテンシ処理回路62は、このリード検出回路61からのリードコマンド検出指示にตอบสนองして活性化されて(レイテンシ-1)クロックサイクル期間をエッジ検出回路60からのエッジ検出信号にตอบสนองしてカウントするカウンタと、このカウンタからのカウントアップ指示信号にตอบสนองして能動化され、ストロブクロック信号QSおよび/QSをバースト長期間通過させるゲート回路でたとえば構成される。データDATは、クロック信号CLKの立上がりエッジおよび立下がりエッジの両者に同期して伝達されるため、ストロブクロック信号QSおよび/QSの立上がりエッジに同期して交互にデータを取込むラッチ回路が、このデータ取込回路63に設けられればよい。またこれに代えて、データ取込回路63が高速動作可能な場合には、ストロブクロック信号QSおよび/QSの交差部をトリガとしてワンショットのパルス信号を生成する回路と、この

パルス信号に従って与えられたデータを取込むラッチ回路が、データ取込回路63として用いられてもよい。

【0123】エッジ検出回路60は、通常の波形整形回路で構成されてもよく、また基準電圧とクロック信号CLKおよび/CLKとを比較する比較回路で構成されてもよく、またクロック信号CLKおよび/CLK回路で構成されてもよい。いずれの回路構成が用いられてもよい。

【0124】この図16に示すとおり、メモリコントローラ35は、送信コマンドCMDおよび転送コマンドCMDを受ける。これらのコマンドCMDは、クロック信号CLKおよび/CLK、QSおよび/QSと同じ信号伝搬経路を伝達されており、その位相は揃っている。したがって、コマンドCMDがリードコマンドREADであれば、メモリチップからはリードレイテンシ経過後、メモリチップから読出されたデータが伝達される。これにより、簡易な回路構成で容易に、選択メモリチップから読出されたデータを取込み、図示しないプロセッサへ転送することができる。

【0125】図17は、メモリチップCHの信号入力部の構成を概略的に示す図である。図17において、メモリチップCHは、クロック信号CLKおよび/CLKをバッファ処理して内部クロック信号CLKiおよび/CLKiを生成するバッファ65aおよび65bと、ストロブクロック信号QSおよび/QSを受けるバッファ65cおよび65dと、コマンドCMDを受けるバッファ65e~65fと、アドレス信号ADDを受けるバッファ65g~65hと、データDATを受けるバッファ65i~65jを含む。メモリチップCHにおいて、これらのバッファ65a~65jも、それぞれ、基準電圧と与えられた信号とを比較する差動増幅型入力回路の構成であつてもよい。

【0126】メモリチップCHは、さらに、バッファ65cおよび65dから与えられる信号QSおよび/QSのエッジ部(交差部)を検出するエッジ検出回路66と、エッジ検出回路66からのエッジ検出信号にตอบสนองして、バッファ65a~65fを介して与えられるコマンドCMDをラッチするCMDラッチ67と、エッジ検出回路66からのエッジ検出信号にตอบสนองして、バッファ65e~65hから与えられるアドレス信号ADDをラッチするADDラッチ68と、エッジ検出回路66からのエッジ検出信号にตอบสนองしてバッファ65i~65jからのデータをラッチするDATラッチ69と、CMDラッチ67にラッチされたコマンドCMDをデコードするCMDデコーダ70と、ADDラッチ68にラッチされたアドレス信号ADDをデコードするADDデコーダ71と、CMDデコーダ70からの動作モード指示信号、ADDデコーダ71からのデコードアドレス信号およびDATラッチ69にラッチされたデータを受け、指定された動作モードを実行するメモリ回路72を含む。メモリ

回路72は、行列状に配列される複数のメモリセル、行選択回路、列選択回路およびデータ書込/読出回路を含む。

【0127】ADDデコーダ71は、アドレス信号ADDがこのメモリチップCHを指定するときに活性化されてデコード動作を行なうように構成されてもよい。CMDデコーダ70は、CMDラッチ67にラッチされたチップセレクト信号/CSの活性化時においてのみ、デコード動作を実行する。

【0128】メモリチップCHは、さらに、メモリ回路72に含まれる制御回路からの読出動作指示信号の活性化にตอบสนองして起動され、所定のリードレイテンシ期間をカウントするレイテンシ処理回路74と、レイテンシ処理回路74のレイテンシ指示情報(レイテンシサイクル-1に対応する期間経過)にตอบสนองして活性化され、内部クロック信号CLK_iおよび/CLK_iのエッジ(交差部)を検出するエッジ検出回路73と、レイテンシ処理回路74の出力信号にตอบสนองして起動され、メモリ回路72から読出されるデータをラッチするDATラッチ75と、レイテンシ処理回路74からのレイテンシ経過指示(リードレイテンシ-1クロックサイクル経過)にตอบสนองして起動され、内部クロック信号CLK_iおよび/CLK_iの位相を調整してタイミングクロック信号を生成するクロック発生回路76と、エッジ検出回路73からのエッジ検出信号にตอบสนองしてDATラッチ75のラッチするデータをバッファ処理して出力するバッファ77a-77bと、クロック発生回路76からのタイミングクロック信号をバッファ処理してストロブクロック信号QSおよび/QSを生成して出力するバッファ77cおよび77dを含む。クロック発生回路76を用いて内部クロック信号CLK_iおよび/CLK_iの位相を調整することにより、クロック信号CLKと同期して出力されるデータDATに対し、サンプリングタイムを与えるストロブクロック信号QSおよび/QSを生成することができる。

【0129】DATラッチ75は、内部クロック信号CLK_iの立上がりおよび立下がりに同期してデータを出力する。エッジ検出回路73は、メモリコントローラ35のエッジ検出回路と同様、バッファ回路であってもよく、基準電圧と比較または相補クロック信号を比較してクロック信号CLK_iの2倍の周波数のクロック信号を生成する比較回路であってもよい。

【0130】メモリ回路72の構成は、単にアドレス指定されたメモリセルデータがアクセスされる構成であればよい。

【0131】このクロック発生回路76は、従来のSLDRAMにおけるバーニアを備えていてもよい。

【0132】図18は、図17に示すメモリ回路の構成を概略的に示す図である。図18において、メモリ回路72は、8個のバンクB#0-B#7を含む。バンクB

#0-B#3は、内部データバス81に接続され、バンクB#4-B#7は、内部データバス82に結合される。これらのバンクB#0-B#7は、それぞれ行列状に配列される複数のメモリセルを有し、互いに独立に、メモリセル行を選択状態へ駆動することができる。

【0133】内部データバス81および82は、ともに読出回路83および書込回路84に結合される。バンクアドレス信号に従って、これらの内部データバス81および82の一方が読出回路83および書込回路84の一方と動作モードに応じて結合される(データの授受を行なう)。読出回路83および書込回路84は、それぞれ内部クロック信号に同期してデータの読出および書込を行なう。メモリ回路は、ダブルデータレート(DDR)で外部装置(外部配線)とデータの入出力を行なうが、内部では、内部クロック信号CLK_iに同期して、データの読出/書込を行なう。このため、読出回路83は、パラレル/シリアル変換機能を有し、書込回路84は、シリアル/パラレル変換機能を備える。

【0134】読出回路83および書込回路84の動作を制御するために、コラムレイテンシ(リードレイテンシ)CLおよびバースト長データBSTを格納するとともに、先頭アドレスが偶数アドレスであるか列アドレスかを指定する信号FAE/Oを格納するモードレジスタ85と、モードレジスタ85からのコラムレイテンシ情報CLおよびバースト長情報BSTとコマンドデコーダ70からの読出/書込動作活性化信号R/Wに従って内部クロック信号CLK_iに同期して読出回路83または書込回路84の動作を制御する書込/読出制御回路86が設けられる。読出回路83および書込回路84は、パッド群80に共通に結合され、書込/読出制御回路86の制御の下に動作する。データ読出時においては、読出回路83がパッド群80に読出データを順次出力し、書込回路84が、データ書込時においてはパッド群80に与えられたデータを順次取込み内部書込データを生成する。

【0135】読出回路83および書込回路84へは、先頭アドレス指示信号FAE/Oが与えられているが、バースト長BSTの設定のときに、先頭アドレスが偶数アドレスであるか列アドレスかを指定する情報がモードレジスタに設定され、その設定された情報に従って、いずれのアドレスに対し先に読出すかおよび書込むかが決定される(これについては後に説明する)。

【0136】ここで、先頭アドレス情報が必要なのは、バンクB#0-B#7では、偶数列アドレスおよび奇数列アドレスの2ビットのメモリセルが同時に読出されるためである(1つのパッド当り)。

【0137】図19は、図18に示す読出回路83および書込回路84の1ビットの入出力部の構成を示す図である。

【0138】図19において、内部データバス81は、

偶数アドレスEVENのデータを伝達する内部偶数アドレスデータバス81eと、奇数アドレスODDのメモリのデータを伝達する内部奇数アドレスデータバス81oを含む。内部データバス82は、偶数アドレスEVENのデータを伝達する偶数アドレスデータバス82eと、奇数アドレスODDのデータを伝達する内部奇数アドレスデータバス82oを含む。

【0139】読出回路83は、先頭アドレス指示信号FAE/Oとバンクアドレス特定信号BASとレシーバイネーブル信号RENに従ってデータバス81e、81o、82eおよび82oのいずれかのバスを選択する選択回路90uと、この選択回路90uと逆の態様で、内部データバスを選択する選択回路90dと、読出時に活性化される読出クロック信号RCLKに従ってシフト動作を行なうシフトレジスタ91と、シフトレジスタ91の出力信号に従って選択回路90uの出力信号を選択する選択回路92uと、選択回路92uから与えられるデータを格納するレジスタ回路93uと、シフトレジスタ91の出力信号に従って選択回路90dの出力信号を選択する選択回路92dと、選択回路92dの出力信号を順次格納するレジスタ回路93dと、切換回路96からのクロック信号にตอบสนองしてシフト動作を行なうシフトレジスタ94uと、シフトレジスタ94uの出力信号に従ってレジスタ回路93uの格納データを選択する選択回路95uと、切換回路96からの出力信号に従ってシフト動作を行なうシフトレジスタ94dと、シフトレジスタ94dの出力信号に従ってレジスタ回路93dの格納データを選択する選択回路95dと、切換回路96からのクロック信号に従って選択回路95uから伝達された信号を通過させる転送回路97uと、切換回路96からのクロック信号に従って選択回路95dにより選択されたデータを通過させる転送回路97dと、転送回路97uおよび97dから与えられたデータをパッド80aへ出力する出力バッファ98を含む。

【0140】選択回路90uは、先頭アドレス指示信号FAE/Oとバンク指示信号BASに従って内部データバスの接続を切換えるスイッチ回路90uaと、スイッチ回路90uaにより選択された信号をレシーバイネーブル信号RENの活性化時増幅する増幅回路90ubを含む。選択回路90dは、先頭アドレス指示信号FAE/Oとバンク指定信号BASとに従って内部データバスの接続を切換えるスイッチ回路90daと、スイッチ回路90daの出力信号をレシーバイネーブル信号RENの活性化にตอบสนองして増幅する増幅回路90dbを含む。

【0141】シフトレジスタ91は、4段のリング状シフトレジスタ回路で構成され、読出クロック信号RCLKに従ってシフト動作を行なって、1つのレジスタ段の出力信号を活性状態とする。レジスタ回路93uは、4つのレジスタを含む。選択回路92uは、これら4つのレジスタそれぞれに対応して設けられるスイッチを含

み、この選択回路92uの4つのスイッチの1つが、シフトレジスタ91の出力信号に従って導通状態に駆動される。レジスタ回路93dも、同様、4つのレジスタを含み、選択回路92dは、それら4つのレジスタそれぞれに対応して設けられる4つのスイッチを含む。これらの4つのスイッチの1つが、シフトレジスタ91の出力信号に従って選択状態（導通状態）へ駆動される。

【0142】シフトレジスタ94uおよび94dは、ともにリング状の4段のシフトレジスタで構成され、それぞれの1つの出力信号が活性状態となる。選択回路95uは、シフトレジスタ94uの出力信号に従ってレジスタ回路93uの4つのレジスタの1つを選択する。選択回路95dは、シフトレジスタ94dの出力信号に従ってレジスタ回路93dの4つのレジスタの1つを選択する。シフトレジスタ94uおよび94dは、切換回路96からのクロック信号に従って互いに相補的にシフト動作を行なう。

【0143】転送回路97uは、シフトレジスタ94uのシフト動作と相補的に導通し、転送回路97dは、シフトレジスタ94dのシフト動作と相補的に導通する。

【0144】切換回路96は、モードレジスタに設定されるコラムレイテンシ（リードレイテンシ）情報CLに従ってその接続経路が切換えられる。クロック信号SMDeは、内部クロック信号CLKiの立上がりに対応してHレベルへ立上がるクロック信号であり、クロック信号SMDoは、内部クロック信号CLKiの立下がりに対応してHレベルへ立上がるクロック信号である。コラムレイテンシ（リードレイテンシ）CLとしては、2および1.5が準備される。リードコマンドが与えられてから2クロックサイクル経過したときに有効データが出力されるか、または1.5クロックサイクル経過したときに、有効データが出力される。このクロックサイクルは、内部クロック信号CLKiのクロックサイクルであり、内部クロック信号CLKiの立上がりおよび立下がりエッジに同期して、データが出力される。

【0145】出力バッファ98は、出力カインーブル信号OEの活性化時活性化され、転送回路97uおよび97dからのデータを増幅してパッド80aへ伝達する。出力カインーブル信号OEは、コラムレイテンシー1クロックサイクル経過時に活性状態へ駆動され、その活性状態は、バースト長期間保持される。レジスタ回路93uおよび93dならびにシフトレジスタ91、94uおよび94dは、バースト長データの読出が完了すると、リセット指示信号BENDに従ってその記憶内容がリセットされる。

【0146】バンク指定信号BASは、バンクB#0ーB#3（BANK<0:3>）またはバンクB#4ーB#7（BANK<4:7>）の一方を指定する。

【0147】書込回路84は、ライトイネーブル信号WEの活性化にตอบสนองして活性化され、パッド80aを介し

て与えられる信号と基準電圧Vrefとを比較し、その比較結果に応じた信号を出力する書込バッファ99と、クロック信号CKRの立上がりに対応して導通し、書込バッファ99からの信号を伝達する転送回路100uと、クロック信号CKFの立上がりに対応して導通し、書込バッファ99からのデータを通させる転送回路100dと、クロック信号CKRに対応してシフト動作を行なうシフトレジスタ101dと、クロック信号CKFに従ってシフト動作を行なうシフトレジスタ101uと、与えられたデータを格納するレジスタ回路103uおよび103dと、シフトレジスタ101uの出力信号に従ってレジスタ回路103uのレジスタを選択し、該選択されたレジスタへ転送回路100uからのデータを格納する選択回路102uと、シフトレジスタ101dからの出力信号に従ってレジスタ回路103dのレジスタを選択し、該選択したレジスタへ転送回路100dからのデータを書込む選択回路102dと、書込クロック信号WCLKに対応してシフト動作を行なうシフトレジスタ104と、シフトレジスタ104の出力信号に従って、レジスタ回路103uのレジスタを選択する選択回路105uと、シフトレジスタ104の出力信号に従って、レジスタ回路103dのレジスタを選択する選択回路105dと、先頭アドレス指示信号FAE/Oおよびバンク指定信号BASに従って、内部データバス81および82の一方へデータを伝達するライトドライバ106を含む。

【0148】クロック信号CKRはストローブクロック信号QSの立上がりに対応してHレベルに立上がる信号であり、クロック信号CKFは、ストローブクロック信号QS(/QS)の立下がり(立上がり)に対応してHレベルに立上がる信号である。シフトレジスタ101u、101dおよび104は、それぞれリング状に接続され、1つのレジスタの出力信号が活性状態となる。

【0149】ライトドライバ106は、データバス81eに対して設けられるドライブ回路107aおよび107eと、データバス81oに対して設けられるドライブ回路107bおよび107fと、データバス82eに対して設けられるドライブ回路107cおよび107gと、データバス82oに対して設けられるドライブ回路107dおよび107hを含む。ドライブ回路107a-107dが、選択回路105uの出力信号を受け、ドライブ回路107e-107hが選択回路105dの出力信号を受ける。バンクアドレス指示信号BASと先頭アドレス指示信号FAE/Oにより、ドライブ回路107a-107dの1つが活性状態へ駆動され、またライトドライバ回路107e-107hの1つが活性状態へ駆動される。これにより、ライトドライバ回路106は、選択バンクに対し、偶数アドレスおよび奇数アドレスのデータを伝達することができる。

【0150】図20は、読出クロック信号SMD eおよ

びSMD oと内部クロック信号CLK iの位相関係を示す図である。図20に示すように、クロック信号SMD eは、内部クロック信号CLK iの立上がり同期してHレベルに立上がる。クロック信号SMD oは、内部クロック信号CLK iの立下がり同期してHレベルに立上がる。コラムレイテンシCLが1.5の場合には、クロック信号SMD oが先にHレベルに立下がり、続いて、クロック信号SMD eがHレベルに立上がる。コラムレイテンシCLが1.5の場合には、クロック信号SMD oに同期して先頭データが読出される。一方、コラムレイテンシCLが2.0の場合には、内部クロック信号CLK iのクロックサイクル1においては、クロック信号SMD oは生成されない。クロック信号SMD eが先にHレベルに立上がり、このクロック信号SMD eに同期して先頭データが読出される。レジスタ回路93uには、常に、先に読出されたデータが格納される。

【0151】図21は、コラムレイテンシCLが2の場合の切換回路96の接続を示す図である。図21において、コラムレイテンシCLが2の場合には、切換回路96は、クロック信号SMD eを転送回路97uへ与えかつシフトレジスタ94dへ与える。また切換回路96は、クロック信号SMD oを、シフトレジスタ94uおよび転送回路97dへ与える。

【0152】先頭アドレスが偶数アドレスの場合、選択回路92uへは、偶数アドレスEのデータが与えられ、選択回路92dには、奇数アドレスOのデータが与えられる。シフトレジスタ91の出力信号に従ってこれらの選択回路92uおよび92dが同時に動作し、レジスタ回路93uおよび93dに、同時に読出された2ビットのデータが並列に格納される。

【0153】次いで、クロック信号SMD eに従って、転送回路97uが導通し、このレジスタ回路93uに格納されたデータ0を読出し、出力バッファ回路98へ与える。このクロック信号SMD eがLレベルに立下がると、次いでクロック信号SMD oがHレベルに立下がり、転送回路97dが導通し、一方シフトレジスタ94uがシフト動作を行なう。転送回路97dは、レジスタ回路93dのデータ1を選択して出力バッファ98へ与える。この動作を繰返すことにより、2ビット並列に読出されたデータが1ビットずつシリアルに読出される。

【0154】先頭アドレスが奇数アドレスOの場合には、図21において括弧内に示すように、レジスタ回路93uに奇数アドレスのデータが与えられ、レジスタ回路93bに、偶数アドレスのデータが与えられる。

【0155】図22は、コラムレイテンシCLが1.5の場合の切換回路96の接続を示す図である。図22に示すように、コラムレイテンシCLが1.5の場合には、切換回路96は、クロック信号SMD eをシフトレジスタ94uおよび転送回路97dへ与え、クロック信号SMD oを転送回路97uおよびシフトレジスタ94

dへ与える。先頭アドレスが偶数アドレスEの場合には、レジスタ回路93uへ、この偶数アドレスEのデータが与えられ、レジスタ回路93dへ、奇数アドレスOのデータが与えられる。コラムレイテンシCLが1.5の場合には、まずクロック信号SMD oがHレベルに立上がり、選択回路97uがレジスタ93uのデータ0を選択する。次いで、クロック信号SMD eがHレベルとなり、転送回路97dが、レジスタ回路93dのデータ1を選択して出力バッファ回路98へ与える。以降、このシフトレジスタ94uおよび94dのシフト動作に従って選択回路95uおよび95dが順次データを選択する。コラムレイテンシCLが1.5で、先頭アドレスが奇数アドレスOの場合には、この奇数アドレスOのデータが、レジスタ回路93uへ格納され、偶数アドレスEのデータが、レジスタ回路93dに格納される。

【0156】したがって、常に、先に読出されるデータは、上側のレジスタ回路93uに格納される。

【0157】なお、この図19に示す構成において、シフトレジスタ94uおよび94dのシフト動作は、クロック信号に応答して常時行なわれるのではなく、読出クロック信号RCLKの活性化時シフト動作が活性化されるように構成される。この場合、クロック信号SMD eおよびSMD oは、内部クロック信号CLK iに同期して生成することができる（読出クロック信号RCLKの発生に従ってリードコマンドが与えられたとき）。

【0158】バースト長データの読出が完了すると、リセット信号BENDが活性化され、読出回路が初期状態にリセットされる。

【0159】図23(A)は、書込クロック信号CKRおよびCKFの位相を示す図である。図23(A)に示すように、クロック信号CKRは、ストローブクロック信号QSの立上がりに同期してHレベルに立上がり、クロック信号CKFは、ストローブクロック信号QSの立下りに同期してHレベルに立下がる。したがって、常にデータ書込時においては、クロック信号CKRが先にHレベルへ立上がる。

【0160】図23(B)に示すように、転送回路100uが先に導通状態となり、レジスタ回路101uに最初のデータ0が格納される。次いで、転送回路100dが導通し、次のデータ1がレジスタ回路103dに格納される。以下、順次レジスタ回路103uおよび103dに交互にデータが格納される。2ビットのデータがレジスタ回路に格納されると、選択回路105uおよび105dにより、2ビットのデータが同時に読出される。選択回路105uおよび105dの出力データは、それぞれ、先頭アドレス指示信号により能動化されたライトドライバにより、メモリセルへ伝達される。先頭アドレスが偶数アドレスEの場合には、選択回路105uからのデータが偶数アドレスデータバスに伝達され、選択回路105dのデータが奇数アドレスデータバスに伝達さ

れる。したがって、この書込時においては、ライトドライバ106（図19参照）において、先頭アドレス信号およびバンクアドレス信号に従って、偶数アドレスデータバスに対するライトドライバ回路および奇数アドレスデータバスに対するライトドライバ回路がそれぞれ1つつつ活性化される。

【0161】図23(B)に示すように、データ書込時においては、2ビットのデータを取込んだ後、次のクロックサイクルで、選択メモリセルへの転送が行なわれる。したがって、常に、コラムレイテンシが0であるため、先に書込まれるべきデータは、上側のレジスタ回路103uに格納され、次いで与えられるデータが、下側のレジスタ回路103dに格納される。

【0162】図19に示すデータ入出力回路を利用することにより、クロック信号に同期してデータを伝達することができる。

【0163】また、それぞれの信号をバスを介して一方方向に伝達することにより、メモリコントローラにおいては、コマンドが返送された後、レイテンシ経過後、データを取込むことにより、正確に必要とされる読出データの取込を行なうことができ、メモリコントローラにおけるデータ取込時の構成が簡略化される。

【0164】[実施の形態5] 図24は、この発明の実施の形態5に従うメモリシステムの信号の伝搬状態を示す図である。この図24においては、データ書込時の信号波形が示される。図24に示すように、本実施の形態4においては、信号の取込のタイミングを与えるストローブクロック信号QSおよび/QSは用いられない。メモリコントローラは、コマンドCMDが有効であることを示すために、チップセレクト信号/CSを出力している。このチップセレクト信号/CSの活性化に従って、メモリチップは、与えられたコマンドを取込む。すなわち、アクティブコマンドACTが与えられたときには、メモリチップは、チップセレクト信号/CSがクロック信号CLKの立上がりエッジでLレベルの活性化状態にあるため、与えられたコマンドが有効のコマンドであると判断し、与えられたコマンドの取込およびデコードを行なう。また書込動作を示すライトコマンドWRITEが与えられたときには、メモリチップは、このチップセレクト信号/CSのクロック信号CLKの立上がりエッジにおけるLレベルにตอบสนองして、与えられたコマンドCMDおよびデータDATおよびアドレス信号を取込む。これらのクロック信号、チップセレクト信号/CSおよびコマンドCMD、書込データDATは、メモリコントローラへ返送される。メモリコントローラは、クロック信号CLKの立上がりエッジにおけるチップセレクト信号/CSの活性化状態に従って、有効なコマンドCMDが返送されたことを知る。しかしながら、この場合は、ライトコマンドWRITEが与えられているため、メモリコントローラは、与えられたデータの取込を行なわない。

【0165】図25は、データ読出時の信号伝搬を示す図である。図25において、メモリコントローラからは、データ読出を指示するリードコマンドREADが出力される。このリードコマンドREADと同時に、チップセレクト信号/CSがLレベルの活性状態に駆動される。メモリチップにおいては、このチップセレクト信号/CSが活性状態のときには、与えられたコマンドCMDを取込み、内部でデコードし、データ読出動作を実行する。このリードコマンドREADが与えられてから、リードレイテンシCL経過後、メモリチップからは、データがクロック信号CLKに同期して出力される。

【0166】メモリコントローラにおいては、返送されたチップセレクト信号/CSが活性状態のときには、返送コマンドをデコードし、返送コマンドがリードコマンドのときリードレイテンシCL期間経過後、クロック信号CLKに同期して、与えられたデータを取込む。リードコマンドREADおよびライトコマンドWRITEいずれが与えられても、チップセレクト信号/CSは活性状態となる。

【0167】図24および図25に示すように、チップセレクト信号/CSを利用することにより、ストロブクロック信号QSおよび/QSを用いていないため、配線数を低減することができる。

【0168】図26は、この発明の実施の形態5におけるメモリスシステムを構成するメモリコントローラの構成を概略的に示す図である。図26に示すメモリコントローラ35においては、CMD制御回路51が、コマンドCMDおよびチップセレクト信号/CSを生成し、バッファ58e~58fが、クロックバッファ/ドライバ55からのクロック信号に従ってコマンドCMDおよびチップセレクト信号/CSを出力する。ストロブクロック信号は生成されない。

【0169】一方、入力部においては、チップセレクト信号/CSが、バッファ59kを介してREAD検出回路61へ伝えられる。READ検出回路61は、このバッファ59kを介して与えられるチップセレクト信号/CSがLレベルのときに、バッファ59e~59fを介して与えられるコマンドCMDがリードコマンドREADであるか否かを判定する。リードコマンドが与えられていると判定された場合には、このREAD検出回路61が、レイテンシ処理回路62を活性化し、レイテンシ処理回路62は、このREAD検出回路61からのリードコマンド検出指示にตอบสนองして活性化され、エッジ検出回路60からのクロック信号をカウントし、レイテンシ期間経過後、データ取込用のクロック信号を生成する。

【0170】したがって、図16に示す構成に比べて、ストロブクロック信号QSおよび/QSが用いられていないため、メモリコントローラの構成を簡略化することができる。

【0171】図27は、図26に示すREAD検出回路61およびレイテンシ処理回路62の構成を概略的に示す図である。図27において、READ検出回路61は、チップセレクト信号/CSを受けるインバータ61aと、インバータ61aの出力信号とエッジ検出回路60からのクロック信号CLKとコマンドCMDとを受け、AND回路61bを含む。エッジ検出回路60からのクロック信号CLKeの立上がりエッジにおいて、チップセレクト信号/CSがLレベルであり、かつコマンドCMDがリードコマンドREADのとき、このREAD検出回路61は、リードコマンド検出信号φrdをHレベルへ駆動する。リードコマンドREADは4つのビット群であり、チップセレクト信号/CSは2クロックサイクル遅延する。

【0172】レイテンシ処理回路62は、リードコマンド検出信号φrdの活性化にตอบสนองして起動され、エッジ検出回路60からのクロック信号CLKeをカウントするレイテンシカウンタ62aと、レイテンシカウンタ62aのカウントアップ指示信号φc1にตอบสนองして起動され、バースト長期間をカウントするバースト長カウンタ62bと、レイテンシカウンタ62aからのカウントアップ指示信号φc1の活性化にตอบสนองしてセットされかつバースト長カウンタ62bからのカウントアップ指示信号φbstの活性化にตอบสนองしてリセットされるセット/リセットフリップフロップ62cと、コラムレイテンシ(リードレイテンシ)CLに従ってクロック信号CLKeおよび/CLKeの一方を選択するスイッチ回路62bと、スイッチ回路62bからのクロック信号とセット/リセットフリップフロップ62cの出力信号に従って読出用のクロック信号CLKrを生成するAND回路62eを含む。データ取込はクロック信号CLKrを90°移相したタイミング信号で行なう。

【0173】レイテンシカウンタ62eは、たとえば、クロック信号CLKeに従ってシフト動作を行なうシフトレジスタ回路で構成され、リードコマンド検出信号φrdをクロック信号CLKeに従ってシフトし、リードレイテンシ期間経過後、その出力信号φc1をHレベルへ駆動する。バースト長カウンタ62bも、クロック信号CLKeにตอบสนองしてシフト動作を行なうシフトレジスタでたとえば構成され、レイテンシカウンタ62aの出力信号φc1をクロック信号CLKeにตอบสนองしてバースト長期間シフトし、そのシフト結果に従って出力信号φbstを出力する。ここで、バースト長は、リードコマンドが与えられたときに、連続的に読出されるデータの数を示す。

【0174】スイッチ回路62dは、リードレイテンシCLが、2を示すときには、クロック信号CLKeを選択し、リードレイテンシCLが1.5のときには、クロック信号/CLKeを選択する。次に、この図27に示す回路の動作を図28に示すタイミングチャート図を参

照して説明する。

【0175】まず、図28(A)を参照して、リードレイテンシCLが2であり、バースト長BSTが8の場合の動作について説明する。クロック信号CLKのサイクル#0においてリードコマンドが返送され、リードコマンド検出信号φrdがHレベルに立上がる。これにより、レイテンシカウンタ62aが起動され、レイテンシ期間をカウントする。リードレイテンシCLは2であるため、レイテンシカウンタ62aの出力信号φclは、このリードコマンドが与えられてから2クロックサイクル経過後のクロック信号#2においてHレベルに立上がり、セット/リセットフリップフロップ62cがセットされる。スイッチ回路62dは、クロック信号CLKeを選択している。したがって、クロック信号CLKrは、このクロックサイクル#2からクロック信号CLKeに同期して変化する。このリードレイテンシ経過後、クロック信号CLKに同期して、データが転送される。したがって、このクロック信号CLKrの立上がりエッジや立下がりエッジに同期して(90°移相したタイミングで)、信号を取込むことにより、読出データを取込むことができる。バースト長BSTが8であるため、読出データは、クロックサイクル#5においてすべて到達する。したがって、バースト長期間経過後の、クロックサイクル#6においてバースト長カウンタ62bの出力信号φbstがHレベルとなり、セット/リセットフリップフロップがリセットされ、取込用のクロック信号CLKrが、Lレベルに固定される。

【0176】次に、図28(B)を参照して、リードレイテンシCLが1.5であり、バースト長BSTが8の場合の動作について説明する。コラムレイテンシCLが1.5の場合には、スイッチ回路62bは、補のクロック信号/CLKeを選択する。クロックサイクル#0においてはリードコマンド検出信号φrdが活性化されると、レイテンシカウンタ62aからの信号φclは、クロックサイクル#1においてクロック信号CLKの立下がりに同期してHレベルに立下がる。セット/リセットフリップフロップ62cがセットされ、AND回路62eは、この補のクロック信号/CLKeに従って取込用のクロック信号CLKrを生成する。バースト長BSTが8であるため、バースト長カウンタ62bの出力信号φbstは、クロックサイクル#5におけるクロック信号CLKの立下がりに同期してHレベルに立下がり、セット/リセットフリップフロップ62cがリセットされる。応じて、AND回路62eからのクロック信号CLKrはLレベルに固定され、以降のデータの取込が禁止される。

【0177】したがって、この場合においても、クロック信号CLKeおよび/CLKeをリードレイテンシCLに従って選択することにより、単に、チップセレクト信号/CSを用いてリードコマンドを検出する構成にお

いても、正確に、データの取込を行なうことができる。

【0178】なお、レイテンシカウンタ62aは、レイテンシ期間CLをカウントするのではなく、レイテンシ期間-0.5、すなわちCL-0.5クロックサイクルカウントするように構成されてもよい。この場合、バースト長指示信号φbstも、図28(A)および(B)に示すタイミングチャート図よりも、0.5クロックサイクル早く活性化されるが、クロック信号CLKrはそのときにはLレベルにあり、特に問題は生じない。より正確に、クロック信号CLKeまたは/CLKeに従って取込用のクロック信号CLKrを生成することができる(ゲート遅延がなくなるため)。ただし、データの取込は、クロック信号CLKrにより90°位相の遅れたタイミングで行なう。

【0179】図29は、この発明の実施の形態5に従うメモリステムにおいて用いられるメモリチップCHの構成を概略的に示す図である。この図29に示すメモリチップCHは、図17に示すメモリチップCHと以下の点において異なっている。すなわち、チップセレクト信号/CSを受けるバッファ65kの出力信号に従って、CMDラッチ67、ADDラッチ68、およびDATラッチ69がラッチ動作を実行する(エッジ検出回路280の出力する内部クロックに同期して)。また、エッジ検出回路280は、クロック入力バッファ65aおよび65bの出力する相補クロック信号を受けて内部クロック信号CLKiを生成する。このエッジ検出回路280は、相補クロック信号の交差部を検出し、これをトリガとして内部クロック信号CLKiを生成し、CMDデコーダ70へ与える。ADDデコーダ71は、CMDデコーダ70の出力信号が、ロウアクセスまたはコラムアクセスを指示するときにADDラッチ68によりラッチされたアドレス信号をデコードする。

【0180】また、データ読出時においては、リードクロック発生回路281が、レイテンシ処理回路74の制御の下に、エッジ検出回路280からの内部クロック信号CLKiに従って読出用のクロック信号を生成して出力バッファ回路74a-74dへ与える。出力バッファ回路77a-77eは、図19に示す転送回路および出力バッファを含み、内部クロック信号CLKiの立上がりおよび立下がりエッジでデータDATを出力する。出力バッファ回路77a-77eが、図19に示す出力バッファ98に対応する場合には、このリードクロック発生回路281からのリードクロック信号は、DATラッチ75へ与えられ、出力バッファ回路77a-77bへは、出力イネーブル信号OEが与えられる。いずれの構成が用いられてもよい。この図29に示す構成においては、メモリチップCHへは、ストローブクロック信号QSおよび/QSは入力されず、またデータDATと同期してこのストローブクロック信号QSおよび/QSを出力することも行なわれない。メモリチップCHにおける

端子数を低減することができ、またデータ出力部の構成も簡略化される。

【0181】図30(A)は、図29に示すCMDラッチ67の制御部の構成を概略的に示す図である。図30(A)において、チップセレクト信号/CSを受けるインバータ282aと、クロック信号CLKのHレベルに
10 応答して導通し、インバータ282aの出力信号を通過させる転送ゲート283aと、転送ゲート283aの出力信号をラッチするラッチ回路284aと、ラッチ回路284aのラッチ信号をクロック信号/CLKのHレベルに
15 応答して伝達する転送ゲート283bと、転送ゲート283bの出力信号をラッチするラッチ284bと、ラッチ284bの出力信号をクロック信号CLKのHレベルに
20 応答して通過させる転送ゲート283cと、転送ゲート283cの出力信号をラッチするラッチ回路284cと、ラッチ回路284cの出力信号をクロック信号/CLKのHレベルに
25 応答して通過させる転送ゲート283dと、転送ゲート283dの出力信号をラッチするラッチ回路284dを含む。チップセレクト信号/CSは、図29に示すバッファ回路65kから与えられる。
クロック信号CLK、/CLKはエッジ検出回路280から与えられる。

【0182】これらの転送ゲート283a-283dおよびラッチ284a-284dにより、クロック信号CLKおよび/CLKに
30 応答して、インバータ282aを介して与えられるチップセレクト信号/CSを伝達するシフトレジスタ回路が構成される。

【0183】ラッチ制御部は、さらに、クロック信号CLKとラッチ284aの出力信号とを受けてストロブ
35 タイミング信号CS0を生成するAND回路285dと、クロック信号/CLKとラッチ回路284dの出力信号とを受けてストロブタイミング信号CS1を生成するAND回路285dと、
クロック信号CLKとラッチ回路284cの出力信号とを受けてストロブタイミング信号CS2を生成するAND回路285cと、クロック信号/CLKとラッチ回路284dの出力信号と
40 を受けてストロブタイミング信号CS3を生成するAND回路285dを含む。これらのAND回路285a-285dにより、クロック信号CLKの半サイクル期間のみ、
ストロブタイミング信号CS0-CS3がHレベルの活性状態へ駆動される。

【0184】図30(B)は、図30(A)に示すラッチ回路284a-284dの構成の一例を示す図である。図30(B)においてラッチ回路284(284a-284d)は、
45 転送ゲートを介して与えられる入力信号INを受ける2段のカスケード接続されるインバータ回路VGaおよびVGbと、インバータ回路VGaの出力信号を反転して
インバータ回路VGaの入力部へ転送するインバータ回路VGcを含む。この図30(B)に示すラッチ回路は、いわゆるインバータラッチ回路であ

る。インバータ回路VGcが、またクロック信号CLKまたは/CLKに
50 応答して活性化されるトリステートインバータバッファで構成されてもよい。

【0185】図30(C)は、コマンドをラッチするラッチ回路の構成の一例を示す図である。図30(C)において、
55 CMDラッチ回路は、ストロブタイミング信号CSk(k=0-3)を活性化時導通し、コマンドCMDを通過させる転送ゲートTXと、転送ゲートTXを介して与えられる
60 コマンドCMDを受ける2段の縦続接続されるインバータ回路VGdおよびVGeと、インバータ回路VGdとインバータラッチを構成するインバータ回路VGfを含む。
このインバータ回路VGfは、ストロブタイミング信号/CSkの活性化時に活性化されるトリステートインバータバッファで構成されても
65 よい。インバータ回路VGaから内部コマンド信号CMDinが生成される。

【0186】図30(A)-(C)に示すように、チップセレクト信号/CSが与えられると、クロック信号の
70 立上がりエッジおよび立下がりエッジに従って4つのコマンドビット群が連続して与えられる。これら4つのコマンドビット群をラッチするために、
図30(C)に示すラッチ回路が4個並列に設けられる。次に、この図30(A)-(C)に示すCMDラッチの動作を図31に示すタイミングチャートを参照して説明する。

【0187】クロック信号CLKのクロックサイクル#0においてチップセレクト信号/CSが、クロック信号CLKの立上がりエッジでLレベルに保持される。
75 このチップセレクト信号/CSが与えられると、このクロックサイクル#0から、クロックCLKの立上がりエッジおよび立下がりエッジに同期して、
コマンドCMDが連続して与えられる。1つの有意のコマンドが、これらの4つのコマンドビット群により形成される。クロック信号CLKがHレベル
80 となると、図30(A)に示す転送ゲート283aが導通し、インバータ282aからのチップセレクト信号/CSを通過させてラッチ回路284aがこの
チップセレクト信号をラッチする。したがって、クロックサイクル#0においては、クロック信号CLKの立上がり
85 に応答して、ストロブタイミング信号CS0がHレベルとなり、最初のコマンドCMDが取込まれてラッチされる。

【0188】クロック信号CLKがLレベルに立下がると、補のクロック信号/CLKがHレベルとなり、図30(A)に示す転送ゲート283bが導通し、
90 ラッチ284aがラッチする信号がラッチ284bに伝達され、ラッチ回路284bの出力信号がHレベルとなる。一方ラッチ回路284aは、
転送ゲート283aが非導通状態であり、ラッチ信号はHレベルである。しかしながら、クロック信号CLKがLレベルであり、ストロブ
95 タイミング信号CS0はLレベルとなる。

【0189】一方、ラッチ回路284bが、ラッチ回路

284aからのHレベルの信号をラッチし、補のクロック信号/CLKがHレベルとなるため、ストロブタイミング信号CS1がHレベルとなる。これにより、次のクロックサイクル#0のクロック信号CLKの立下りに応答して与えられたコマンドビット群が、第2のコマンドラッチ回路によりラッチされる。次いで、クロック信号CLKおよび/CLKの立上りに応答してラッチ回路284cおよび284dがそれぞれ転送された信号をラッチし、応じて、クロックサイクル#1において、クロック信号CLKの立上りに応答してストロブタイミング信号CS2がHレベルとなり、またクロック信号CLKの立下りに応答してストロブタイミング信号CS3がHレベルとなる。これにより、残りのコマンドビット群が別のコマンドラッチ回路にラッチされる。

【0190】ラッチ回路284aは、チップセレクト信号/CSは、クロックサイクル#0のクロック信号CLKの立上がり時においてのみLレベルにあり、クロックサイクル#1以降、ラッチ回路284aのラッチ信号はLレベルとなり、ラッチ回路284b、284cおよび284dにおいて、それぞれ、順次そのラッチ信号がLレベルとなる。

【0191】コマンドラッチ回路(図30(C))を4つ並列に設けることにより、1回与えられるチップセレクト信号/CSに従って、4つの連続するコマンドビット群をラッチすることができる。この内部コマンドCMDinは、並列にコマンドデコーダ(CMDデコーダ)へ与えられる。

【0192】なお、このコマンドCMDが、チップセレクト信号/CSと同様、クロックサイクル#0の立上がりエッジにおいてのみ、その状態が判定される構成の場合においては、図30(A)に示すラッチ制御部は必要がない。図30(C)に示すコマンドラッチ回路において、転送ゲートに対してチップセレクト信号CSを与えればよい。内部で、クロック信号CLKの立上りに応答して、内部コマンド信号を生成することができる。

【0193】[変更例]チップセレクト信号/CSの活性化時、CMDデコーダが活性化される構成が用いられてもよい。

【0194】以上のように、この発明の実施の形態5に従えば、チップセレクト信号/CSに従って、メモリチップが、与えられたコマンドおよびアドレス信号を取込んでかつ書込データを取込み、またメモリコントローラにおいても、返送されたチップセレクト信号/CSに従ってコマンドが返送されたことを判定し、そのコマンドがリードコマンドの場合、リードレイテンシ経過後与えられたデータを取込むように構成しているため、ストロブクロック信号CSおよび/CSを転送する必要がなく、タイミング制御が容易となり、また配線数が低減される。

【0195】[実施の形態6]図32は、この発明の実

施の形態6に従うメモリスistemにおけるデータ書込時の信号伝搬状態を示す図である。この図32に示すように、本実施の形態6においては、メモリコントローラからは、クロック信号CLK、/CLK、チップセレクト信号/CS、コマンドCMDおよびアドレス信号、およびデータDATが伝達される。メモリチップにおいては、実施の形態5の同様、チップセレクト信号/CSの活性化に応答してコマンドおよびアドレスCMDの取込が行なわれ、また書込データDATの取込が行なわれる。一方、メモリコントローラへは、クロック信号CLKおよび/CLK、チップセレクト信号/CS、および書込データDATが返送される。コマンドCMDおよびアドレスADDの返送は行なわれない。データ書込時には、メモリコントローラは、データを取込む必要がなく、何ら問題は生じない。

【0196】図33は、この発明の実施の形態6におけるメモリスistemのデータ読出時の信号伝搬状態を示す図である。データ読出時には、メモリチップは、チップセレクト信号/CSに従って、コマンド、アドレスを取込み、メモリセルデータの内部読出を行ない、リードレイテンシCL経過後、クロック信号CLKに同期して読出データを転送する。メモリコントローラへは、このリードコマンドREADは返送されない。メモリコントローラは、チップセレクト信号/CSの活性化に応答して、リードレイテンシサイクル経過後、このデータDATを取込む。チップセレクト信号/CSは、コマンド(先頭コマンドビット群)と同時に与えられる。したがって、メモリチップにおけるチップセレクト信号/CSと先頭読出データとの時間関係は、メモリコントローラ入力部においても識別される。したがって、このチップセレクト信号/CSを検出した後、リードレイテンシCL経過後、データを取込むことにより、読出データを正確に取込むことができる(メモリコントローラは、リードコマンド発行は自身で判別できる)。

【0197】なお、書込データの取込が行なわれず、読出データの取込のみを行なう。メモリコントローラにおいて取込まれるデータは、リードコマンド送出時のみならず、通常のメモリチップからの特定情報(モードレジスタ内に格納されたデータ)を読出すときにも行なわれる。

【0198】図34は、この発明の実施の形態6におけるメモリスistemに設けられるメモリコントローラの構成を概略的に示す図である。図34において、このメモリコントローラ35は、返送されたチップセレクト信号/CSを受けるバッファ59kの出力信号に従ってチップセレクト信号の活性化を検出するCS検出回路290を含む。コマンドCMDを伝達する信号線は終端抵抗RaおよびRb等により終端される。このコマンドCMDを伝達する信号線を終端抵抗により終端することにより、インピーダンス整合をとり、信号の反射が生じるの

を防止する。これは、またアドレス信号ADDを伝達する信号線についても同様である。

【0199】レイテンシ処理回路62は、送受信制御回路50からの制御信号に従って能動化され、CS検出回路290からのチップセレクト信号活性化指示信号に05 応答して起動され、エッジ検出回路60からの内部クロック信号に従ってリードレイテンシをカウントし、カウント経過後、データ取込回路63にデータ取込用のクロック信号を与える。このデータ取込回路63の構成は、クロック信号CLKの立上がりエッジおよび立下がりエッジに同期して与えられるデータを取込む回路構成であ10 ればよい。

【0200】レイテンシ処理回路62の能動および不能動化は、送受信制御回路50のコマンド生成時において、リードコマンドまたは返送データを要求するコマンド生成時において、このコマンド生成回路からのデータ返送要求コマンド発生に基づいて行なわれる。また、先15 のたとえば図6に示すコマンド生成回路5bにおいて、返送データが必要なコマンド（リードコマンドまたはモードレジスタ内読出コマンド）の生成時においてレイテンシ処理回路62が能動化される。ただし、モードレジスタの内容読出などにおいては、レイテンシのサイクル数が異なる。この場合、各命令に応じて、レイテンシ処理回路62においてレイテンシ期間が変更されればよい。CS検出回路290がリードコマンド発行時、能動20 化されてもよい。

【0201】なお、メモリチップCHの構成は、先の実施の形態4の場合と同じである（図29参照）。

【0202】以上のように、この発明の実施の形態6に従えば、データ返送要求を行なう命令の発行時、チップセレクト信号/CSの返送を検出し、その検出に基づいてデータバスを介して与えられるデータを取込むように構成しているため、メモリコントローラの端子数を低減25 することができ、応じてメモリコントローラのチップ面積を低減することができる。

【0203】〔実施の形態7〕図35は、この発明の実施の形態7におけるデータ書込時の信号伝搬状況を示す図である。図35において、先の実施の形態6と同様、メモリコントローラからは、クロック信号CLK、/CLK、制御信号/CS、コマンドCMDおよびデータDATが出力される。メモリチップにおいては、データ書込時チップセレクト信号/CSの活性化に30 応答して与えられたコマンドCMDを取込み、また書込データDATを取込む。メモリコントローラへは、クロック信号CLKおよび/CLKが返送され、また書込データDATが返送される。このメモリコントローラに返送される信号を、クロック信号CLKおよび/CLKおよびデータDATとすることにより、メモリコントローラの端子数をより低減することができる。

【0204】図36は、この発明の実施の形態7におけ

るメモリスistemのデータ読出時の信号伝搬状態を示す図である。図36に示すように、メモリチップは、メモリコントローラから与えられたチップセレクト信号/CSの活性化に35 応答してコマンドCMDを取込みデコードし、リードコマンドREADが与えられると、データ読出を行なう。リードコマンドREADが与えられてからリードレイテンシCLが経過後、有効データがクロック信号CLKに同期して出力される。メモリコントローラにおいては、このリードコマンドREADを送出して40 から有効データが返送されるまでの時間、すなわち時刻t4から時刻t0までの間の時間を、初期状態時に予め設定しておくことにより、リードコマンドREAD発送後、初期設定された所定のクロックサイクル期間TA経過後、返送されたデータの取込を行なう。

【0205】図37は、この発明の実施の形態7のメモリコントローラ35の構成を概略的に示す図である。図37において、メモリコントローラ35は、レイテンシ処理回路62が、送受信制御回路50からのコマンドレイテンシ指示信号CMLおよび能動化信号φenに従ってデータ取込タイミングを設定するデータ取込信号を生成する点が、図34に示すメモリコントローラと異なる。他の構成は、図34に示すメモリコントローラと同じであり、対応する部分には同一参照番号を付す。このメモリコントローラ35においては、チップセレクト信号/CSは返送されないため、このチップセレクト信号/CSを伝達する信号線は、終端抵抗Rcにより終端さ45 れる。これにより、チップセレクト信号/CSの信号線端部における反射を防止する。

【0206】レイテンシ処理回路62は、送受信制御回路50からの能動化信号φenの活性化に50 応答して活性化され、エッジ検出回路60からのクロック信号CLKeに従ってカウント動作を行ない、そのカウント値が、送受信制御回路50から与えられるコマンドレイテンシ指示信号CMLおよびリードレイテンシCLの和に等しくなると、データ取込用のクロック信号を生成する。

【0207】図38は、図37に示す送受信制御回路50のコマンドレイテンシ設定に関する部分の構成を概略的に示す図である。図38において、送受信制御回路50は、予め定められたダミーコマンドビットパターンを格納するダミーコマンドパターン格納回路291aと、図37に示すデータ取込回路63を介して与えられる2進データとダミーコマンドパターン保持回路291aに格納されたダミーコマンドパターンとの比較を行ない、この比較結果を示す信号を出力する一致検出回路291cと、転送制御回路291bの出力信号に55 応答して起動されてクロック信号CLKをカウントし、一致検出回路291cからの一致検出指示に30 応答してカウント動作を停止するカウンタ291dと、このカウンタ291dのカウント値に基づいてコマンドレイテンシを格納するレイテンシ設定回路291eを含む。

【0208】転送制御回路291bは、図6に示す転送制御回路5cに相当し、データ返送を要求するコマンド送出時においては、能動化信号 ϕ_{en} を活性化して、レイテンシ処理回路62を活性化する。ダミーコマンドパターン保持回路291aには、予め定められたビットパターンが格納される。初期設定時において、転送制御回路291bの制御の下に、このダミーコマンドパターンが、データバスを介してダミーコマンドパターンとして送出される。このときデータ送出に並行して、カウンタ291dが起動され、カウンタ291dが、クロック信号CLKの立上がりおよび立下がりエッジ両者をカウントする。レイテンシ処理回路62は、転送制御回路291bからの初期設定指示信号 ϕ_{tst} の活性化にตอบสนองして常時取込クロック信号を生成し、データ取込回路63においてデータ取込動作を実行させる。このデータ取込回路63から返送されたデータ（受信データ）は、各クロック信号CLKの立下がりエッジおよび立上がりエッジにおいて一致検出回路291cへ与えられ、そこでダミーコマンドパターンと受信データパターンとの比較が行なわれる。一致検出回路291cにより一致が検出された場合にはカウンタ291dはカウント動作を停止する。レイテンシ設定回路291eは、この受信データがデータ取込回路を介して取込まれ、一致検出回路291cにより一致検出が行なわれるまでに必要なクロックサイクル期間（たとえば1クロックサイクル期間）を考慮して、カウンタ291dのカウント値に基づいてコマンドが配線を介して返送されるのに要する時間を算出して、コマンドレイテンシを設定する。このレイテンシ設定回路291eにより設定されたコマンドレイテンシCMLが、図37に示すレイテンシ処理回路62へ与えられる。初期設定時において、各メモリチップのダミーサイクルが行なわれる初期動作が行なわれてもよい。ダミーサイクル時においては、データの読出は行なわれないため、データバスを用いてダミーコマンドパターンを転送しても何ら問題は生じない。

【0209】図39は、図37に示すレイテンシ処理回路62の構成を概略的に示す図である。図39において、レイテンシ処理回路62は、転送制御回路291bからの能動化信号 ϕ_{en} にตอบสนองして起動され、エッジ検出回路60からのクロック信号CLK_eをカウントするカウンタ62aと、リードレイテンシCLを保持するリードレイテンシ保持回路62bと、レイテンシ設定回路292bからのコマンドレイテンシCMLとリードレイテンシ処理回路62bからのリードレイテンシCLに従って、実際にデータが転送されるまでに必要なクロックサイクル期間を示す実レイテンシを示すデータを保持する実レイテンシ保持回路62cと、カウンタ62aのカウント値と実レイテンシ保持回路62cに保持された実レイテンシとの一致を検出するための一致検出回路62dと、一致検出回路62dの一致検出指示にตอบสนองして、

クロック信号CLK_eに従って取込クロックCLK_sを生成する取込クロック生成回路62eを含む。一致検出回路62aは、また転送制御回路291b（図38参照）からの初期化設定指示信号 ϕ_{tst} の活性化時強制的にその出力信号を一致検出状態に設定する。

【0210】この図39に示すレイテンシ処理回路62の構成においては、初期設定時においては、一致検出回路62aは、常時、一致検出指示状態にあるため、取込クロック生成回路62bは、常時取込クロックCLK_sを生成し、データ取込回路62にデータ取込動作を行なわせる。

【0211】一方、通常動作モード時においては、転送制御回路291bが、データバス上のデータの取込が必要なときに能動化信号 ϕ_{en} を活性化し、応じてカウンタ62aが起動されてカウント動作を実行する。カウンタ62aのカウント値と実レイテンシ保持回路62cに保持される実レイテンシデータとが一致すると、一致検出回路62aからの出力信号が活性状態となり、取込クロック生成回路62eが取込クロック信号CLK_sを生成する。これにより、コマンドレイテンシCMLが示す期間が経過したとき、コマンドが返送された期間に相当し、これは、先の実施の形態5または6におけるチップセレクト信号/CSの返送タイミングと同じであり、この時点からリードレイテンシCLをカウントすることにより、確実に、読出データを取込むことができる。

【0212】なお、取込クロック生成回路62eは、クロック信号CLK_eが、メモリチップから読出されたデータと同期しているため、90°位相のずれた取込クロック信号CLK_sを生成する。これにより、正確に、データが確定した状態で読出データのサンプリングを行なうことができる。

【0213】なお、リードレイテンシ保持回路62bに保持されるリードレイテンシCLは、通常、メモリスistemの初期設定時においてメモリチップ内にリードレイテンシが初期設定されるため、そのとき併せて設定されてもよい。

【0214】以上のように、この発明の実施の形態7に従えば、メモリコントローラ内において予めデータ転送を要求するリードコマンドのようなコマンド送出時、データ返送に要するクロックサイクル期間を内部で検出するように構成しているため、メモリコントローラの端子数をより低減することができ、また回路構成も簡略化される。

【0215】[実施の形態8] 図40は、この発明の実施の形態8に従うメモリチップの構成を概略的に示す図である。図40において、メモリチップCHは、ストローブクロック信号QSおよび/QSのエッジを検出して内部クロック信号を生成するエッジ検出回路66からのクロック信号を遅延するバーニア回路300を含む。このバーニア回路300からの遅延ストローブクロック信

号がCMDラッチ67、ADDラッチ68およびDATラッチ69へ与えられる。この図40に示すメモリチップCHの他の構成は、図17に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0216】この図40に示すように、バーニア回路300を用いて、メモリチップCHごとに、遅延量を設定することにより、ストロブクロック信号線とコマンドバス、アドレスバス、およびデータバスの配線の寄生容量および配線抵抗に起因する遅延時間のずれを解消し、メモリチップCHそれぞれにおいて最適なタイミングで、コマンドCMD、アドレスADDおよびデータDATを取込む。これにより、メモリチップCHそれぞれにおいて、ボード上配線などのシステム実装環境により、信号伝搬遅延などが生じて、正確にメモリチップCHそれぞれにおいてデータ等の取込を行なうことができる。

【0217】図41は、図40に示すメモリチップの信号入力部の構成をより具体的に示す図である。図41において、エッジ検出回路66は、差動増幅回路で構成され、ストロブクロック信号QSおよび/QSを差動増幅して相補クロック信号を生成してバーニア回路300へ与える。このバーニア回路300は、初期化制御回路301からのチェックモード指示信号CHKに応答してバーニアチェックモードに入り、初期化制御回路301からのバーニア量調整信号STPに従って、この遅延量を調整する。

【0218】信号入力部は、1ビットの入力信号INに関連する部分を図41において示す。信号入力部は、入力信号INと基準電圧発生回路302からの基準電圧Vrefを比較する比較回路（差動増幅回路）で構成されるバッファ回路65と、バッファ回路65の出力信号をバーニア回路300からのストロブクロック信号QSDおよび/QSDに응答して交互に取込む取込回路303aおよび303bと、ラッチ制御回路304からのラッチ指示信号φ0およびφ2に응答して取込回路303aの出力信号を交互にラッチするラッチ回路305aおよび305bと、ラッチ制御回路304からのラッチ指示信号φ1およびφ3に응答して取込回路303bの出力信号を交互にラッチするラッチ回路306aおよび306bを含む。ラッチ制御回路304は、バーニア回路300からのストロブクロック信号QSDおよび/QSDに従ってこれらのラッチ指示信号φ0〜φ3を生成する。ラッチ回路305a、305b、306aおよび306bは、同一構成を備え、図41においては、ラッチ回路305aの構成を代表的に示す。

【0219】ラッチ回路305a、305b、306aおよび306bの4つが設けられているのは、コマンドCMDおよびアドレスADDは、2クロックサイクルにわたってクロック信号CLKの立上がりエッジおよび立下がりエッジに同期して与えられるためである。DAT

ラッチ69の構成は、先の図19に示す構成と同じである。これらラッチ回路305a、305b、306aおよび306bを用いることにより、メモリチップCH内部で、クロック信号CLKの1クロックサイクル周期で動作する回路を用いて、このクロック信号CLKの2倍の周期で与えられる信号を取込みラッチすることができる。

【0220】すなわち、メモリチップの動作周波数よりも高い（2倍）の周波数で信号が入力されている場合において、正確に、この高速の信号を取込み、内部動作を行なうことができる。

【0221】基準電圧発生回路302は、電源ノードに結合される負荷素子（Z）302aと、負荷素子302aと出力ノードの間に接続されかつそのゲートに初期化制御回路301からのアップ指示信号VRUPを受けるpチャネルMOSトランジスタ302bと、接地ノードに結合される負荷素子（Z）302dと、負荷素子302dと出力ノードの間に接続されかつ初期化制御回路301からのダウン指示信号VRDWNをゲートに受けるnチャネルMOSトランジスタ302cを含む。この基準電圧発生回路302は、この指示信号VRUPおよびVRDWNに応じて、基準電圧Vrefの電圧レベルを調整する。

【0222】初期化制御回路301は、コマンドデコーダから与えられる初期化指示コマンドおよびバーニア調整コマンドに従って、指示信号VRUPおよびVRDWNを活性化するとともに、チェックモード指示信号CHPおよびバーニア設定信号STPを活性化する。

【0223】なお、取込回路303aは、ラッチ回路305aおよび305bのラッチタイミングと相補的に取込動作を行ない、また取込回路303bは、ラッチ回路306aおよび306bのラッチ動作と相補的に取込動作を行なう（図19に示すデータ入力回路の動作を参照）。

【0224】基準電圧発生回路302からの基準電圧Vrefの電圧レベルを変更して、入力バッファ65の出力信号の取込タイミングを調整することにより、通常動作モード時において、大きなマージンで入力信号を取込むことができ、動作を安定させることができる。

【0225】図42（A）、（B）は、通常動作モード時における入力信号のマージンを概略的に示す図である。図42（A）、（B）においては、入力信号としてデータDQを示す。バーニア回路300は、エッジ検出回路66からのストロブクロック信号QSおよび/QSを遅延して内部ストロブクロック信号QSDおよび/QSDを生成する。取込回路303aおよび303bは、このストロブクロック信号QSDおよび/QSDに従って与えられた信号を取込む。データDQは、メモリコントローラからストロブクロック信号QSおよび/QSに同期して導出される。バーニア回路300にお

いて、このストロブクロック信号を遅延させることにより、基準電圧 V_{ref} に対し、○印で示すマージンをもって、データ DQ を取込むことができる。この○印で示すマージンが十分大きければ、ノイズの影響を受けることなく正確にデータの取込を行なうことができる。これは、他のコマンドおよびアドレスについても同様である。このマージンをできるだけ大きくするために、初期設定モード時において、図42(B)に示すように、基準電圧 V_{ref} の電圧レベルを変更する。図42(B)においては、Hレベルに対するマージンを設定するため、基準電圧 V_{ref} の電圧レベルを上昇させた場合を示す。この場合、基準電圧 V_{ref} の電圧レベルを上昇し、データ DQ に対するマージンを小さくする。このとき併せてバーニア回路300の遅延量を大きくし、ストロブクロック信号 QSD および QSD の遅延量を大きくする。このストロブクロック信号 QSD および QSD のタイミングが、小さな○印で表わされるマージンを与えるように、このバーニア回路100の遅延量を設定する。

【0226】このタイミング調整（バーニア回路100の遅延量調整）を、破線で示すように基準電圧 V_{ref} を低下させてLレベルデータについても実行する。

【0227】通常動作モード時においては、このデータ DQ のHレベルおよびLレベルの中間レベルに基準電圧 V_{ref} が設定される。したがって、通常動作モード時において、データ DQ のマージンが大きな○印で示される大きさとなり、ノイズの影響を受けることなく安定にデータの入力を行なうことができる。データ DQ に限らず、他のコマンド CMD 、アドレス ADD についても同様である。次に、図43に示すフロー図を参照して、このバーニア回路300のバーニア量設定動作について簡単に説明する。

【0228】まず、メモリコントローラから特定のメモリチップに対し初期化コマンドを与える。メモリチップは、この初期化コマンドに従って、基準電圧 V_{ref} およびバーニアを初期設定する（ステップS1）。次いで、メモリコントローラから、ライトコマンドを与え、1010…のパターンを有するデータを書込む（ステップS2）。次いで、この書込んだデータを読み出し、メモリコントローラにおいて、この読出したデータのパターンが期待値パターン（1010…）と一致しているか否かの判定を行なう（ステップS4）。パターンが不一致の場合には、正確なデータの読出が行なわれていないため、ストロブタイミングが正しくないため（コマンド、アドレスおよびデータいずれでもよい）、バーニア回路300の遅延量を増分する（ステップS5）。この遅延量を増分した後再びステップS2に戻って、データの書込および読出のステップを繰返す。

【0229】一方、ステップS4において、読出されたデータのパターンが期待値パターンと一致している場合

には、基準電圧が複数個用いられている場合には、基準電圧 V_{ref} が最大電圧レベルであるか否かの判定を行なう（ステップS6）。基準電圧 V_{ref} が最大電圧レベルでない場合には、この基準電圧 V_{ref} の電圧レベルを更新する（ステップS7）。この基準電圧 V_{ref} の更新により、マージンを小さくして、再びデータの書込、読出およびパターン一致判別を行なう。一方、ステップS6において、基準電圧 V_{ref} が最大であると判定された場合には、最小マージンでデータの正確な書込/読出が行なわれているため、この状態における遅延量をバーニア回路100に設定する。

【0230】この図43に示す動作フローを、HレベルデータおよびLレベルデータに対して実行する。すなわち、基準電圧 V_{ref} の電圧レベルの上昇および基準電圧 V_{ref} の電圧の低下の下でマージンテストを行なう。これらの動作を、メモリスシステムに用いられているメモリチップそれぞれに対して実行する。これにより、大きなマージンで、通常動作モード時において、各メモリチップは与えられた信号を取込むことができる（基準電圧 V_{ref} は通常動作モード時、中間電圧レベルに設定されるため）。

【0231】これにより、メモリコントローラから正確なタイミングで、ストロブクロック信号 QS および QS 、コマンド CMD 、アドレス ADD およびデータ DAT を送出した場合、信号配線の伝搬遅延が異なりスキューが生じる場合においても、各メモリチップ CH においてそれぞれ最適なタイミングで信号の取込を行なうことができる。

【0232】この図41および図42(A)、(B)において、データ DQ に対して、マージンを設定している。しかしながら、このコマンド CMD およびアドレス ADD に対しても同様にマージンが設定されている。コマンド CMD に対するマージン不良の場合、最初のステップにおいて、データの書込/読出が行なわれないため、読出されたデータパターンが不一致であり、ストロブタイミングが遅延され、コマンドが取込まれてデータの書込/読出が行なわれるようになる。したがって、この図43に示す動作フローにより、コマンド CMD 、アドレス ADD およびデータ DAT に対するマージンを同時に設定することができる。

【0233】図44(A)は、図41に示すバーニア回路300の構成を概略的に示す図である。図44(A)において、バーニア回路300は、チェックモード指示信号 CHK と遅延増分指示信号 STP とにตอบสนองしてシフト動作を行なって、タップ信号 $TAP0 \sim TAPn$ を生成するタップ回路300aは、タップ回路300aからのタップ信号 $TAP0 \sim TAPn$ により遅延量が設定され、それぞれ、ストロブクロック信号 QS および QS を遅延して内部ストロブタイミングクロック信号 QSD および QSD を生成する可変遅延回路300bお

よび300cを含む。ストロブクロック信号QSおよび/QSは、図40に示すエッジ検出回路66から与えられる。

【0234】タップ回路300aは、チェックモード指示信号CHKの活性化時能動化され、遅延増分指示信号STPに従ってそのタップ値をシフト動作により変更する。

【0235】図44(B)は、図44(A)に示すタップ回路300aの構成を概略的に示す図である。図44(B)において、タップ回路300aは、チェックモード指示信号CHKと遅延増分指示信号STPとを受けるAND回路311と、AND回路311の出力信号を受けるドライブ回路312と、AND回路311の出力信号を受けるインバータ313と、インバータ313の出力信号を受けるドライブ回路314と、ドライブ回路312および314の出力信号に従ってシフト動作を行なうシフトレジスタ回路315と、チェックモード指示信号CHKの活性化にตอบสนองしてシフトレジスタ回路315の内部ノードを初期設定する初期化回路310と、シフトレジスタ回路315の出力信号を、ドライブ回路312の出力信号に従って通過させるスイッチ回路316と、スイッチ回路316を介して与えられる信号をラッチするラッチ回路317を含む。

【0236】シフトレジスタ315は、複数のラッチ回路LH0~LH6…と、ラッチ回路LH0~LH6のそれぞれの間に接続される転送ゲートTX1~TX6と、ドライブ回路312の出力信号に従って電源電圧VccをラッチLH0に伝達する転送ゲートPX0を含む。転送ゲートTX1、TX3、TX5は、ドライブ回路314からの出力信号をゲートに受け、転送ゲートTX0、TX2、TX4、TX6、…は、ゲートにドライブ回路312の出力信号を受ける。ラッチLH0およびLH1がレジスタ回路を構成し、ラッチLH2およびLH3が、1段のシフトレジスタ回路を構成し、ラッチLH4およびLH5が、1段のシフトレジスタ回路を構成し、ラッチLH6および図示しないラッチLH7が、1段のシフトレジスタを構成する。ドライブ回路314の出力信号がHレベルとなると、それらのシフトレジスタ315は、内部でデータの転送を行ない、ドライブ回路312の出力信号に従って、隣接レジスタ段へのラッチ信号の転送が行なわれる。

【0237】スイッチ回路316は、ラッチLH0、LH2、LH4およびLH6それぞれの入力部に設けられるスイッチング素子SW0、SW1、SW2、SW3、…を含む。これらのスイッチング素子SW0~SW3は、ドライブ回路312の出力信号がHレベルとなると導通し、ラッチ回路315のラッチ信号を伝達する。

【0238】ラッチ回路317は、スイッチング素子SW0~SW3それぞれに対応して設けられるラッチLHC0~LHC3と、ラッチLHC0~LHC3の出力信

号を反転するインバータIV0~IV3を含む。ラッチLHC0~LHC3からタップ信号TAP0~TAP3が出力され、インバータIV0~IV3からタップ信号/TAP0~/TAP3が出力される。

【0239】この図44(B)に示すタップ回路300aにおいては、チェックモード時初期化回路310が、ラッチLH0~LH6の入力ノードを接地電圧レベルに初期設定する。遅延増分指示信号STPが活性化されると、ドライブ回路312の出力信号がHレベルとなり、転送ゲートTX0、TX2、TX4、TX6、…が導通し、シフトレジスタ段の入力部へのラッチ信号の転送が行なわれる。最初の状態においては、ラッチLH0の出力信号がHレベル、残りのラッチLH0~LH6の出力信号はLレベルである。このシフトレジスタ回路315における、レジスタ間へのデータ転送が完了すると、ドライブ回路312の出力信号がLレベルとなり、次いでドライブ回路314の出力信号がHレベルとなり、レジスタ段内において取込んだ信号の転送が行なわれる。

【0240】スイッチ回路316は、このシフトレジスタ回路315におけるレジスタ間の転送動作と同期して導通状態となり、ラッチLHC0~LHC3が、これらの転送回路からのデータをラッチし、タップ信号TAP0、/TAP0~TAP3、/TAP3が生成される。増分指示信号STPをHレベルへ駆動することにより、シフトレジスタ回路315におけるシフト動作が行なわれ、Hレベルとなるタップ信号の数が増大する。初期状態においてはタップ信号TAP0のみがHレベルであり、次の状態においては、タップ信号TAP0およびTAP1がHレベルとなる。これにより、可変遅延回路300bおよび300cにおける遅延量を増加させる。

【0241】図45は、図44(A)に示す可変遅延回路300bおよび300cの構成を示す図である。これらの可変遅延回路300bおよび300cは同じ構成を備えるため、図45においては、1つの可変遅延回路を代表的に示す。図45において、可変遅延回路は、ノードND0に並列に接続されるバッファ回路BF0~BF3と、バッファBF0~BF3それぞれに対応して設けられるスイッチ回路SG0~SG3を含む。スイッチ回路SG0~SG3は、それぞれゲートにタップ信号TAP0、/TAP1、/TAP2、および/TAP3を受ける。これらのスイッチ回路SG0~SG3は、導通時、対応のバッファ回路BF0~BF3を内部ノードND1に接続する。スイッチ回路SG0~SG3の導通時、バッファ回路BF0~BF3の出力がノードND1にワイヤードオア接続される。

【0242】可変遅延回路はさらに、ノードND1に並列に接続されるバッファ回路BF4~BF7と、ノードND2に並列に接続されるバッファ回路BF8~BF11と、バッファ回路BF4~BF7それぞれに対応して設けられるスイッチ回路SG4~SG7と、バッファ回

路BF8-BF11それぞれに対応して設けられるスイッチ回路SG8-SG11を含む。スイッチ回路SG4およびSG8は、タップ信号TAP0を受ける。スイッチ回路SG5-SG7は、それぞれ制御ノードに、タップ信号/TAP5、/TAP6および/TAP7を受ける。スイッチ回路SG9-SG11は、それぞれの制御ノードにタップ信号/TAP9-/TAP11を受ける。スイッチ回路SG4-SG7の導通時、バッファ回路BF4-BF7がノードND2にワイヤードオア接続され、スイッチ回路SG8-SG11の導通時、バッファ回路BF8-BF11がノードND3にワイヤードオア接続される。

【0243】可変遅延回路は、さらに、タップ信号TAP4と/TAP8を受けるAND回路AN3と、ノードND1の信号とタップ信号/TAP4を受けるAND回路AN0と、ノードND2の信号とAND回路AN3の出力信号を受けるAND回路AN1と、ノードND3の信号とタップ信号TAP8を受けるAND回路AN2と、タップ信号/TAP4がHレベルのとき導通し、AND回路AN0の出力信号を出力ノードへ伝達するスイッチ回路SG12と、AND回路AN3の出力信号(TAP4-/TAP8)がHレベルのとき導通し、AND回路AN1の出力信号を出力ノードに伝達するスイッチ回路SG12と、タップ信号TAP8のHレベルのとき導通し、AND回路AN2の出力信号を出力ノードで伝達するスイッチ回路SG13を含む。

【0244】図44(B)に示すように、タップ回路300aは、増分指示信号STPが活性化されるごとに、Hレベルとなるタップ信号の数を増分する。初期状態時において、タップ信号TAP0がHレベルである。残りのタップ信号TAP1-TAP11はLレベルであり、したがって、タップ信号/TAP1-/TAP11は、すべてHレベルである。したがって初期状態においては、スイッチ回路SG0-SG11が導通状態にあり、バッファ回路BF0-BF3の出力信号がノードND1に並列に伝達され、バッファ回路BF4の出力信号がノードND2に並列に伝達され、バッファ回路BF8-BF11の出力信号がノードND3に並列に接続される。初期状態時においては、AND回路AN3の出力信号はLレベルであり、またタップ信号TAP8もLレベルである。したがって、AND回路AN0が能動化され、またスイッチ回路SG12が導通状態となり、ノードND1の信号が伝達されて、クロック信号QSDが生成される。この状態においては、ノードND1は、4つのバッファ回路BF0-BF3により駆動されるため、これらのバッファ回路BF0-BF3の出力信号に従ってストローブクロック信号QSDの遅延時間が決定される。この場合、ノードND1には、バッファ回路BF0-BF3がワイヤードオア接続されるため最も遅延時間が短い状態である。

【0245】増分指示信号STPが活性化されると、図44(B)に示すタップ回路においてシフト動作が行なわれ、タップ信号TAP0およびTAP1がともにHレベルとなる。応じてタップ信号/TAP1がLレベルとなり、スイッチ回路SG1が非導通状態となる。この状態においては、バッファ回路BF0、BF2およびBF3により、ノードND1が駆動されるため、遅延時間が長くなる。

【0246】次いで、増分指示信号STPがHレベルとなり、タップ信号TAP0-TAP2がHレベルとなると、スイッチ回路SG1およびSG2が非導通状態となり、ノードND1が、バッファ回路BF0およびBF3により駆動されるため、遅延回路がまた長くなる。

【0247】さらに増分指示信号STPがHレベルとなると、タップ信号TAP0-TAP3がHレベルとなる。したがって、この状態においては、スイッチ回路SG1-SG3が非導通状態となり、ノードND1がバッファ回路BF0により駆動される。したがって、遅延時間は、このバッファ回路BF0の有する遅延時間により決定される。

【0248】さらに、遅延動作が進み、タップ信号TAP0-TAP4がHレベルとなると、補のタップ信号/TAP4がLレベルとなり、AND回路AN0の出力信号がLレベルとなり、またスイッチ回路SG12が非導通状態となる。したがって、この状態においては、タップ信号/TAP5-/TAP7はHレベルであるため、バッファ回路BF0とバッファ回路BF4-BF7により、ノードND2が駆動され、この遅延時間がバッファ回路BF0が与える遅延時間よりも長くなる。

【0249】以降、同様の動作を行なって、タップ信号TAP0-/TAP7がHレベルとなると、スイッチ回路SG5-SG7が非導通状態となり、ノードND2は、バッファ回路BF0およびBF4により駆動されるため、ストローブクロック信号QSDの有する遅延時間はバッファ回路BF0およびBF4の有する遅延時間により決定される(AND回路AN1およびスイッチ回路SG2における伝搬遅延は考慮していない)。

【0250】さらに、遅延増分動作が行なわれ、タップ信号TAP8がHレベルとなると、補のタップ指示信号/TAP8がLレベルとなり、AND回路AN3の出力信号がLレベルとなり、またスイッチ回路SG12が非導通状態となる。一方、AND回路AN2が能動化され、ノードND3の信号に従ってストローブクロック信号QSDを生成する。このタップ信号TAP8がHレベルのときには、ノードND3へは、ストローブクロック信号QSがバッファ回路BF0、BF4を介してノードND2へ伝達され、さらにこのノードND2の信号に従ってバッファ回路BF8-BF11により駆動されてノードND3により伝達される。したがって、このバッファ回路BF8-BF11の遅延時間がさらに追加され

る。

【0251】タップ信号TAP9がHレベルとなると、スイッチ回路SG9が非導通状態となり、ノードND3を駆動するバッファ回路の数が低減され、遅延時間が増大する。最終的にタップ信号TAP0-TAP11がすべてHレベルとなると、スイッチ回路SG9-SG11が非導通状態となり、ノードND3は、バッファ回路BF0、BF4およびBF8により駆動される。したがって、この状態においては、遅延時間が最も大きな状態となる。

【0252】図45に示す可変遅延回路を利用することにより、タップ回路の出力するタップ信号に従って遅延時間を調整することができる。

【0253】なお、タップ信号の数は、図45に示す数に限定されず、必要とされる遅延時間の量に応じて適当に定められればよく、また可変遅延回路においてもノード間に並列に接続されるバッファ回路の数は任意である。

【0254】[変更例] 図43に示す動作フローにおいては、基準電圧Vrefのレベルを変化させて、データの取込が行なわれなくなったときの遅延時間をバーニアに設定している。この図43に示す構成において、パターン的一致開始時における遅延時間とパターン一致完了時における遅延時間の1/2の時間を、バーニア量に設定してもよい。

【0255】図46は、この発明の実施の形態7のメモリチップの遅延量設定フローの変更例を示す図である。図46においては、基準電圧のレベルは、1段階である。これは、最小マージンが予め定められているため、そのマージンに合うように基準電圧Vrefの電圧レベルを決定する。

【0256】図46において、また、初期化コマンドが与えられると、基準電圧Vrefおよびバーニア回路の初期設定が行なわれる(ステップS10)。この初期設定時において基準電圧Vrefが、予め定められた電圧レベルに変更される(ここで、基準電圧Vrefは、1つのレベルの場合を想定する)。バーニア回路の初期設定時において、先の図45に示すタップ信号TAP0がHレベルに設定され、残りのタップ信号TAP1-TAP11は、Lレベルに保持される。

【0257】次いで、10…パターンを有するデータの書込が行なわれる(ステップS11)。この書込が完了すると、データの読出が行なわれる(ステップS12)。このデータの読出が行なわれた後、メモリコントローラにおいては、読出したデータパターンが書込んだデータのパターン(1010…)と同じであるか否かの判定が行なわれる(ステップS13)。メモリコントローラにおいては、このパターンが一致している場合において、初めて、正確にデータの書込/読出が行なわれたか否かの判定が行なわれる(ステップS14)。初めて

パターンの一致が検出された場合には、このときのタップ値を保持するように、メモリチップへ指示が与えられる(コマンドを介して)。メモリチップにおいては、このタップ保持コマンドに従って、このときのラッチに保持されているタップ値を退避させる(ステップS15)。このとき、また、メモリコントローラから、遅延を増分するためのコマンドが与えられ、増分指示信号STPが活性化され、遅延量が増分される(ステップS16)。次いで、再びステップS11に戻り、メモリコントローラからの書込コマンドに従って1010…パターンを有するデータの書込を行なうステップS11以降のステップが繰返される。

【0258】一方、パターン的一致が連続して検出されている場合には、正確にデータの書込/読出が行なわれている状態であり、メモリコントローラは、単に、メモリチップに対し遅延増分を行なうコマンドを与える(ステップS16)。

【0259】一方、ステップS13において、パターン的一致が検出されない場合、このパターン不一致は、連続して検出されたか否かの判定が行なわれる(ステップS17)。パターン不一致が連続している場合には、まだ正確に、データの書込/読出が行なわれていない状態であり、ストロブタイミングがずれている状態を示す。したがって、この場合において、メモリコントローラは、単に、遅延増分を行なうコマンドを与える(ステップS16)。以降再び、ステップS11からの動作が行なわれる。

【0260】一方、ステップS17において、不一致が連続していないと判定された場合には、パターン一致からパターン不一致の状態へ移行した状態であるため、これ以上遅延時間を増分しても、パターンの不一致が検出されるだけである。したがって、この状態においては、そのときのタップ値を保持するとともに、遅延量を算出するコマンドが与えられる(ステップS18およびS19)。この遅延量算出コマンドが与えられると、メモリチップにおいては、ステップS15において退避された最初のタップ値と、このステップS18において与えられたタップ値との平均値により、バーニア回路の遅延時間が算出されてラッチ回路にセットされる(ステップS20)。これは、単にステップS15におけるHレベルのタップ信号のうちの最大番号のタップ信号とステップS18におけるタップ信号の最大番号の番号の算術平均値を有するタップ番号までのタップ信号をHレベルに設定することにより行なわれる。

【0261】この図46に示す動作により、マージンの最も大きいタイミングに、ストロブタイミングを設定することができる。

【0262】なお、図41に示す構成においては、基準電圧発生回路102は、メモリチップ内に設けられている。しかしながら、この基準電圧発生回路42は、メモ

リコントローラ内に設けられており、メモリコントローラから、各メモリチップに共通に基準電圧が供給される構成が用いられてもよい。

【0263】以上のようにして、メモリチップにおいて、最適なタイミングで信号（コマンド、アドレス、およびデータ）の取込を行なうことができる。

【0264】図47は、この発明の実施の形態7に従うメモリコントローラ35の構成を概略的に示す図である。図47に示すメモリコントローラは、図16に示すメモリコントローラと、以下の点において異なっている。すなわち、データ取込回路63へは、レイテンシ処理回路62の出力クロック信号を遅延するバーニア回路320を介して取込クロック信号が与えられる。他の構成は図16に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0265】この図47に示すメモリコントローラ35においては、ストロブクロック信号QSおよび/QSとデータDATの位相差に応じて、データ取込回路63における取込タイミングの調整が行なわれる。

【0266】このバーニア回路320は、単に、送出路から送出されるストロブクロック信号QSおよび/QSとデータDATの返送時における位相差を算出し、その位相差に基づいてバーニア回路320にメモリチップ共通に遅延時間が設定されてもよい。すなわち、配線におけるストロブクロック信号QSおよび/QSとデータDATの位相差は、メモリチップから読出されるときデータのストロブクロック信号QSの位相差の最大値を示す。したがって、この最大遅延時間をバーニア回路120に設定することにより、メモリチップに対し正確にデータの取込を行なうことができる。

【0267】これは、また、メモリチップそれぞれと、ストロブクロック信号QSおよび/QSとデータDATの位相差を初期モード時において検出し、最悪ケースの位相差に応じて、このバーニア回路120の遅延量が設定されてもよい。

【0268】また、さらに、図48に示すように、送受信遅延回路50において、メモリチップそれぞれに対し、バーニア回路120の遅延量が設定されてもよい。

【0269】図48において、送受信制御回路50は、チップ番号CH#1~CH#nそれぞれに対応してタップ値TAP#1~TAP#nを格納するメモリ回路325を含む。チップ番号CH#1~CH#nは、このメモリシステムにおける各チップのアドレスにより決定される。タップ値データTAP#1~TAP#nは、メモリチップにそれぞれ格納されたタップ値情報を読み出し、この入力したタップ値情報に基づいて算出される。このメモリチップそれぞれからのタップ情報の読み出しは、メモリコントローラから、特定のコマンドを各メモリチップへ与えることにより行なわれる。

【0270】図49は、このタップ値TAP#1~TA

P#nを算出するための構成を概略的に示す図である。

図49においては、メモリチップにおける1つのメモリチップCH#を代表的に示す。メモリチップCH#は、信号取込時におけるタイミング遅延値として、タップ値TAP（図45におけるタップ信号TAP0~TAP11）を格納している。このタップ値情報は、メモリチップCH#におけるストロブクロック信号QSとデータDATの位相差に相当する。メモリコントローラにおいては、このメモリシステムの配線におけるストロブクロック信号QSとデータDATの位相差（遅延時間）Tdを検出して格納する。メモリコントローラは、このメモリチップCH#からタップ情報TAPを読み出し、メモリチップCH#からメモリコントローラ入力部までのストロブクロック信号QSとデータDATの位相差を算出する。これは、単に、全遅延時間TdからメモリチップCH#における遅延時間tsを減算することにより求められる。

【0271】図50は、メモリコントローラに含まれるタップ算出部の構成を概略的に示す図である。図50において、タップ算出部は、メモリコントローラの出力部から送出されたストロブクロック信号QSおよびデータDATを受け、これらのストロブクロック信号QSおよびデータDATの位相差を検出する位相差検出回路425と、位相差検出回路425の検出位相差（Td）とメモリチップの遅延時間（メモリチップのタップ値）tsとに基づいて、各メモリチップに対するタップ値TAP#を算出して、記憶回路325に格納するタップ算出回路426を含む。この位相差検出回路425は、メモリシステムにおける配線を周回するストロブクロック信号QSおよびデータDATの位相差を検出する。これにより、メモリシステムの全配線長にわたる遅延時間を算出する。

【0272】図51は、図50に示す位相差検出回路425の構成の一例を示す図である。図51において、位相差検出回路425は、バッファ回路59c（またはエッジ検出回路）からのストロブクロック信号QSの立上がりに対応してカウントし、カウント信号CNTを出力するカウンタ430と、バッファ回路59cからのストロブクロック信号QSの立下がりに対応してワンショットのパルス信号を発生するワンショットパルス発生回路431と、バッファ回路59iからのデータ信号DATの立下がりに対応してワンショットのパルス信号を発生するワンショットパルス発生回路432と、カウンタ430からのカウント信号CNTの活性化時導通し、ワンショットパルス発生回路431および432の出力信号をそれぞれ伝達するスイッチ回路433および434と、スイッチ回路433を介して与えられるパルス信号φPAの活性化時セットされ、かつパルス信号φPBの活性化時リセットされるセット/リセットフリップフロップ435と、パルス信号φPBの活性化に対応して

セットされかつパルス信号 ϕ PAの活性化にตอบสนองしてリセットされるセット/リセットフリップフロップ436と、セット/リセットフリップフロップ435の出力/Qからの信号にตอบสนองして導通し、ノード437を充電するpチャネルMOSトランジスタ438と、セット/リセットフリップフロップ436の出力Qからの信号にตอบสนองして導通し、ノード437を放電するnチャネルMOSトランジスタ439と、ノード437とノード443の間に接続される抵抗素子441と、ノード443と接地ノードの間に接続される容量素子442を含む。

【0273】カウンタ430は、このバッファ回路59cからのストロブクロック信号QSの立上がりに対応してカウント信号CNTをHレベルに立上げ、かつ次のストロブクロック信号QSの立上がりに対応してそのカウント信号CNTをLレベルに立下げる。したがって、このカウンタ430は、ストロブクロック信号QSが最初に与えられたクロックサイクル期間カウント信号CNTをHレベルに保持する。スイッチ回路433および434は、このカウント信号CNTがHレベルのときに導通する。

【0274】セット/リセットフリップフロップ435は、セット/リセットフリップフロップ436の出力Qからの信号をクリア入力CLRに受け、セット/リセットフリップフロップ436は、セット/リセットフリップフロップ435の出力Qからの信号をクリア入力CLRに受ける。セット/リセットフリップフロップ435および436は、クリア入力CLRにHレベルの信号が与えられたとき、リセット状態に保持され、セット入力Sに活性化信号が与えられても、リセット状態を保持する。

【0275】抵抗素子441および容量素子442は、遅延回路を構成し、そのノード443は、抵抗素子441の抵抗値Rおよび容量素子442の容量値Cに応じて緩やかに充放電される。

【0276】この位相差検出回路425は、さらに、リセット信号RSTの活性化時導通し、ノード437を接地電圧レベルに放電するnチャネルMOSトランジスタ444と、プリチャージ指示信号/PRGの活性化時導通し、ノード437を基準電圧VRFレベルに充電するpチャネルMOSトランジスタ445と、ノード443の電圧をデジタル情報に変換するA/Dコンバータ446を含む。このA/Dコンバータ446から、位相差が示す時間(タップ情報)Tdが出力される。基準電圧VRFは、中間電圧Vccレベルである。容量素子442および抵抗素子441の充放電速度(RC定数)は、適当な値に定められ、最大位相差時において、容量素子442が電源電圧レベルまたは接地電圧レベルに充電または放電されるように設定される。次に、この図51に示す位相差検出回路の動作を図52および図53を参照して説明する。

【0277】図52は、データ信号DATsの位相がストロブクロック信号QSよりも遅れている場合の動作を示す信号波形図である。

【0278】初期化コマンド送出時において、リセット信号RSTが活性化され、ノード437が接地電圧レベルに放電されて初期化が行なわれる。次いでプリチャージ指示信号/PRGが所定時間Lレベルとなり、ノード437を中間電圧VRFレベルに充電する。

【0279】次いで、送受信制御回路50の制御の下に、ストロブクロック信号QSおよびデータ信号DATsが位相を揃えて送出される。このメモリコントローラから送出されたストロブクロック信号QSおよびデータ信号DATsがメモリコントローラに返送されると、図52に示すように、ストロブクロック信号QSの位相が、データ信号DATよりも進んでいる。このストロブクロック信号QSの立上がりに対応して、カウンタ430がカウント動作を行ない、そのカウント信号CNTをHレベルに駆動する。応じて、スイッチ回路433および434が導通状態となる。

【0280】ストロブクロック信号QSがLレベルになると、ワンショットパルス発生回路431が、ワンショットパルスを発生し、スイッチ回路433を介してパルス信号 ϕ PAが所定期間Hレベルとなり、セット/リセットフリップフロップ435がセットされ、その出力/Qからの信号がLレベルとなり、pチャネルMOSトランジスタ438が導通し、ノード437を充電する。このノード437への充電電流が抵抗素子441を介して容量素子442に伝達され、ノード443の電圧レベルがプリチャージされた基準電圧VRFの電圧から上昇する。

【0281】次いで、データ信号DATsが到達すると、ワンショットパルス発生回路432がこのデータ信号DATsの立下がりに対応してワンショットのパルス信号を生成し、スイッチ回路434からのパルス信号 ϕ PBが所定期間Hレベルとなる。応じてセット/リセットフリップフロップ435がリセットされ、MOSトランジスタ438が非導通状態となり、容量素子442の充電動作が完了する。一方、セット/リセットフリップフロップ436は、セット/リセットフリップフロップ435の出力Qからの信号によりクリア状態に設定されており、パルス信号 ϕ PBが与えられても、その出力Qからの信号はLレベルを維持する。

【0282】次にストロブクロック信号QSがHレベルに立上がると、カウンタ430がカウント動作を行ない、そのカウント信号CNTをLレベルへ立下げ、スイッチ回路433および434が非導通状態となる。これにより、ワンショットパルス発生回路431および432からのパルス信号の伝達は停止される。したがって、ノード443においては、ストロブクロック信号QSとデータ信号DATsの位相差に応じた情報が保持され

る。このノード443の電圧とA/Dコンバータ446によりデジタル情報に変換する。

【0283】このノード434の電圧振幅が小さい場合には、ノード443とA/Dコンバータ446の間に増幅器が設けられてもよい。

【0284】次に、図53を参照して、データ信号DATsの位相がストロブクロック信号QSの位相よりも進んでいる場合の動作について説明する。まずデータ信号DATsがHレベルに立上がり、次いでストロブクロック信号QSがHレベルに立上がる。ここで、データ信号DATsは、ストロブクロック信号QSに合わせて、「1010…」のパターンで送出されている。ストロブクロック信号QSの立上がりに対応してカウンタ430からのカウント信号CNTがHレベルとなり、スイッチ回路433および434が導通する。このカウント信号CNTがHレベルとなると、次いでデータ信号DATsがLレベルに立下がり（データパターンが1010）、パルス信号φPBがHレベルとなり、セット/リセットフリップフロップ436がセットされ、MOSトランジスタ439が導通する。これにより、ノード443の電圧レベルが、緩やかに低下する。次いでストロブクロック信号QSがLレベルに立下がると、パルス信号φPAがHレベルとなり、セット/リセットフリップフロップ436がリセットされ、MOSトランジスタ439が非導通状態となる。セット/リセットフリップフロップ435は、そのクリア入力CLRにセット/リセットフリップフロップ436の出力Qの信号を受けており、クリア状態に保持されており、このパルス信号φPAによるセットが禁止される。

【0285】続いて、ストロブクロック信号QSがHレベルとなると、カウント信号CNTがLレベルとなり、スイッチ回路433および434が非導通状態となり、以降のパルス信号の伝達は禁止される。これにより、ノード443には、データ信号DATsとストロブクロック信号QSの位相差に応じた電圧が保持される。

【0286】なお、図52および図53に示す動作においては、カウント信号CNTはストロブクロック信号QSの1クロックサイクル期間Hレベルに保持される。これは、データ信号DATsとストロブクロック信号QSの位相差の最大値がストロブクロック信号QSの半サイクルである場合を想定している。このストロブクロック信号QSとデータ信号DATの位相差がストロブクロック信号QSの半サイクル以上の場合には、カウンタ430のカウント期間を長くすればよい。また、たとえば、メモリシステムにおいてメモリコントローラに最も近いメモリチップにおけるタップ情報に基づいて、全配線にわたる遅延量を推定し、その推定値に基づいて、カウント値が設定されてもよい。

【0287】また、メモリコントローラにおいて、デー

タ信号DATsとストロブクロック信号の位相の一致/不一致を検出する構成が用いられてもよい。この場合、メモリコントローラ信号送出部においては、ストロブクロック信号QSとデータ信号DATの位相を、メモリコントローラ信号入力部において一致が検出されるまで遅らせて送出する。その送出部における遅延量に基づいて、全配線長にわたる位相差が検出される構成が用いられてもよい。

【0288】また、データ信号DATsは、データDATの全ビットのORをとった信号であってもよい。最も遅いデータ信号に応じてパルス信号を生成することができ、正確なデータの取込を行なうことができる。

【0289】また、メモリチップから送出されるストロブクロック信号QSとデータDATとを用い、各メモリチップに対して、バーニア量を実際に検出するように構成されてもよい。各メモリチップに対し、正確にデータの取込が行なわれるバーニア量の最大値および最小値の平均値を各メモリチップに対するバーニア量（遅延量）として設定する。この場合、メモリチップに対して送出されるデータパターンを、たとえば「1010」のような既知のパターンを有するデータを書込み、次いで読出し、メモリコントローラにより、この受信データのパターンの一致/不一致を判定することにより、正確にデータの取込が行なわれたかを判定する。

【0290】[変更例] 図54は、この発明の実施の形態8の変更例の構成を概略的に示す図である。図54においては、CMDラッチ67、ADDラッチ68、およびDATラッチ69それぞれに対して、バーニア回路300c、300aおよび300dが設けられる。また、これらのバーニア回路300c、300aおよび300dのバーニア量（遅延量）を設定するために、初期化制御回路450が設けられる。他の構成は図29に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0291】配線それぞれにおける伝搬遅延が異なる場合、メモリチップCH内で、これらのコマンドCMD、アドレスADDおよびデータDATそれぞれに対し、ストロブクロック信号QSおよび/QSのエッジに対する遅延量を調整する。これにより、より正確な信号の取込を行なうことができる。

【0292】図55は、図54に示す初期化制御回路450の構成を概略的に示す図である。図55において、初期化制御回路450は、選択信号φSELに従って、メモリ回路（図54には図示せず）から読出されたデータRDAT、CMDラッチ67から与えられる内部コマンドCMDiおよびADDラッチ68から与えられる内部アドレス信号ADDiのいずれかを選択してDATラッチ75へ与える選択回路451と、CMDデコーダ70からの動作モード指示信号に従って選択回路451の接続と切替える転送制御回路452を含む。この転送制

御回路452は、また、レイテンシ処理回路74へ、活性化信号 ϕ_{clen} を与える。

【0293】転送制御回路452は、初期化時、選択信号 ϕ_{SEL} を内部コマンド信号CMDiを選択する状態に設定する。転送制御回路452は、この初期化時、また、レイテンシ処理回路74と、常時活性状態とする。

【0294】したがって、メモリスシステム立上げ時またはボード実装時などの初期化時に、選択回路451は、内部コマンド信号CMDiを選択してDATラッチ75へ与える。CMDラッチ67は、バーニア回路300cの出力信号に従って、バッファ65b~65fを介して与えられるコマンドCMDをラッチする。転送制御回路452は、このストロブクロック信号QSが与えられると所定クロックサイクル経過後（たとえば1クロックサイクル経過後）レイテンシ処理回路74に対する活性化信号 ϕ_{clen} を強制的に活性状態とし、DATラッチ75に内部コマンド信号CMDiをラッチさせ、次いでバッファ回路77a~77dを介してデータバス上に伝達する。

【0295】メモリコントローラにおいては、このコマンドCMDの返送後、所定クロックサイクル経過時ににおいて、データバスを介して与えられるコマンド信号を取込み、この返送されたコマンド（または送出したコマンド）と取込んだコマンドの一致／不一致を判定する。この動作を、バーニア回路300cのバーニア量（遅延量）を変更して繰返し行ない、このメモリチップCHにおけるコマンド取込みのためのバーニア回路300cの遅延量の最適値を決定する（コマンド信号の正常取込まれるときのバーニア量の最大および最小の算術平均値）を生成する。メモリコントローラから、そのメモリチップCHに対し、設定タップ値を送出する構成が用いられればよい。またこれに代えて、正常コマンド取込み時には、CMDデコーダ70が正確にコマンドCMDを受けてデコード動作をするため、このCMDデコーダ70の制御の下に、バーニア回路300cの正常取込値の遅延量の最大および最小値を退避する回路を設け、この退避した最大および最小値に基づいてバーニア回路300cの最適値が設定されてもよい。

【0296】コマンドCMDに対するバーニア回路300cの遅延量が設定された後、アドレス信号ADDに対するバーニア回路300aの遅延量を調整する。この場合、コマンドCMDが正確に取込まれているため、CMDデコーダ70からの切換指示にตอบสนองして、転送制御回路452が選択信号 ϕ_{SEL} を変化させて、選択回路451に内部アドレス信号ADDiを選択させる。転送制御回路452は、また、この状態で、ストロブクロック信号QSが与えられると、レイテンシ処理回路活性化信号 ϕ_{clen} を活性化し、DATラッチ75およびバッファ回路77a~77d（図54参照）を介してデータバスへ、この取込んだアドレス信号を返送する。メモ

リコントローラにおいては、再び、このアドレス信号に対し同様の、判定動作を繰返し、メモリチップCHのアドレス信号に対するバーニア回路300aの最適遅延量を設定する。アドレス信号ADDに対するバーニア回路300aの遅延時間が設定された後、再び、メモリコントローラがコマンドを発生し、転送制御回路452に、読出データRDATを選択させる指令を与える。転送制御回路452は、また、この読出データ選択指示にตอบสนองして、レイテンシ処理回路74を、メモリ回路からのリードコマンドにより活性化される読出活性化信号に従って活性化される状態に設定する。

【0297】このデータDATについては、メモリコントローラから所定のパターンを有するデータの書込が行なわれ、次いで読出コマンドが与えられ、書込まれたデータが読出される。この場合においては、読出データRDATがDATラッチ75を介してデータバスに伝達される。メモリコントローラにおいては、この返送されたデータが所定のデータパターンを有しているか否かを判定し、データに対するバーニア回路300dの遅延量を設定する。

【0298】また、この初期化時には、データDATに対しても、DATラッチ69のラッチデータが、読出データRDATに代えて選択される構成が用いられてもよい。

【0299】メモリコントローラにおいては、データに対する遅延量がこのバーニア回路に設定される。このとき、メモリチップCHからは、ストロブクロック信号QSおよび/QSは返送されない。したがって、メモリコントローラは、メモリチップCHにおいてデータに対するバーニア回路300dに設定された遅延時間に基づいて、各メモリチップCHに対するバーニア回路の遅延時間が設定される。

【0300】なお、初期設定時ににおいて、メモリコントローラにおいては、配線全周にわたる信号伝搬の遅延時間差に基づいて、メモリチップCHの最大遅延時間の最悪ケースに基づいて、与えられた信号の取込が行なわれればよい。

【0301】以上のように、この発明の実施の形態8に従えば、メモリチップそれぞれにおいて、入力信号を取込むタイミングを調整するためのバーニア回路を設けているため、配線の寄生容量および寄生抵抗の相違に基づく信号間スキューが生じても、メモリチップそれぞれにおいて正確に与えられた信号を取込み、指定された動作を行なうことができる。

【0302】【その他の適用例】メモリスシステムにおいて用いられるメモリチップは、クロック信号に同期して動作する半導体記憶装置であればよく、DRAMの他に、SRAM（スタック・ランダム・アクセス・メモリ）および不揮発性半導体記憶装置であってもよい。

【0303】また、メモリコントローラは、プロセッサ

であってもよい。

【0304】

【発明の効果】以上のように、この発明に従えば、一方方向にのみ信号を伝送して複数のメモリチップへ伝達するように構成しているため、各メモリチップに対する応答の時間のばらつきが生じることがなく、高速動作するメモリスシステムを構築することができる。

【0305】請求項1に係る発明に従えば、第1のポートと第2のポートとの間に一方方向に信号を伝達する第1の信号バスを設け、この第1の信号バスに並列に第1の個別メモリ素子を複数個並列に接続しているため、各個別メモリ素子に対する信号伝搬時間が同じとなり、応答のばらつきを考慮する必要がなく、高速動作するメモリスシステムを構築することができる。

【0306】請求項2に係る発明に従えば、請求項1のメモリスシステムにおいて、第1および第2のポートをそれぞれ、入力端子および出力端子に結合しているため、簡易な構成のメモリスシステムを容易に構築することができる。

【0307】請求項3に係る発明に従えば、請求項1の第1の信号バスに、複数の第1の個別メモリ素子に対する動作サイクルを決定するクロック信号を伝達するクロック信号線を設けているため、各個別メモリ素子を、クロック信号に同期して動作させることができ、高速のデータ転送が可能となる。

【0308】請求項4に係る発明に従えば、コマンド、データおよび両者の取込タイミングを与えるストロブクロック信号を伝達しているため、正確にデータおよびコマンドを取込むことができる。

【0309】請求項5に係る発明に従えば、請求項1のメモリスシステムにおいて、第1のポートに、送信機能を有する送信ユニットを設け、第2のポートに、受信機能を有する受信ユニットを設けているため、容易に第1の信号バスに沿って一方方向に信号を伝送することができ、また送信ユニットから選択メモリチップへの信号伝搬時間および選択メモリ素子から受信ユニットまでの信号伝搬時間の和をそれぞれのメモリ素子について同一とすることができ、タイミングスキューを考慮する必要がなく、高速動作するメモリスシステムを容易に構築することができる。

【0310】請求項6に係る発明に従えば、請求項1のメモリスシステムにおいて、複数の第1の個別メモリ素子が同一ベース基板上に配置されており、容易にモジュール化することができる。

【0311】請求項7に係る発明に従えば、請求項1のメモリスシステムにおいて、複数の第1の個別メモリ素子がモジュール化され、このモジュールが複数個第1および第2のポートが順次接続されるようにカスケード接続されているため、必要な記憶容量を有するメモリスシステムを容易に構築することができる。

【0312】請求項8に係る発明に従えば、ベース基板の表面および裏面に信号バスを連続的に配設し、この信号バスに個別メモリ素子を並列に接続しているため、ベース基板の一方側に入力ポートおよび出力ポートを配置することができ、処理システムのバスのレイアウトが容易となる。また、モジュールとして用いる場合においても、一方側にのみソケットを形成するだけでよく、メモリスシステムの使い勝手が改善される。

【0313】請求項9に係る発明に従えば、請求項8のメモリスシステムにおいて、第1のポートに、送信機能を有する送信ユニットを設け、ベース基板に貫通孔を介して表面および裏面に配設されたバス配線を連続的に配設し、この裏面に受信機能を有する受信ユニットを配設しているため、メモリスシステムの占有面積が低減されるとともに、送受信ユニットがベース基板の一方側にのみ配設されるため、処理システム構築が容易となる。

【0314】請求項10に係る発明に従えば、請求項8のメモリスシステムにおいて、ベース基板の表面に、送信機能および受信機能両者を有する送受信ユニットを設け、信号バスを、表面から貫通孔を介して裏面に連続的に延在するように配設し、かつこの信号配線を、裏面を延在させた後貫通孔を介してベース基板裏面から表面へ取出し、送受信ユニットの受信部へ結合するように構成しているため、ベース基板の一方表面にのみ送受信機能を有する装置を配置することができ、送信ユニットおよび受信ユニットを別々に設ける必要がなく、コントローラのピン数が低減され、また従来のメモリスシステムの互換性を保持することができる。また、送信ユニットおよび受信ユニットを別々に設ける必要がなく、システム構成が簡略化される。

【0315】請求項11に係る発明に従えば、ベース基板の第1および第2の表面に連続的に信号配線を配設し、この信号配線に複数の個別メモリ素子を並列に結合し、制御ユニットから選択個別メモリ素子に対する配線長さとこの選択個別メモリ素子から制御ユニットまでの一方方向における配線長の和がすべての個別メモリ素子において同一となるように構成しているため、複数の個別メモリ素子それぞれについて、データ読出時のアクセス時間（信号伝搬時間）が同じとなり、信号伝搬遅延を考慮する必要がなく、高速アクセスすることのできるメモリスシステムを構築することができる。請求項12に係る発明に従えば、請求項11のメモリスシステムにおいて、制御ユニットを、ベース基板の第1の表面に形成される送信ユニットおよびこのベース基板の第2の表面に送信ユニットと対向して配置される受信ユニットとで構成しているため、ベース基板の一方側にのみ制御ユニットを配置することができ、システムバスの配線が容易となり、システムを容易に構築することができる。

【0316】請求項13に係る発明に従えば、請求項11の制御ユニットを、ベース基板の第1の表面に配設さ

れる送信機能および受信機能両者を含むように構成しているため、1箇所に集中的に制御ユニットを配置することができ、ベース基板の一方側のみに、端子を配設するだけでよく、メモリスistemのポート端子数を低減することができる。

【0317】請求項14に係る発明に従えば、請求項11の制御ユニットとして、ベース基板の第1および第2の表面それぞれに、送信機能および受信機能両者を含む制御ユニットを配設しているため、容易に、マルチプロセッサシステムを構築することができ、高速アクセスすることのできるメモリスistemを構築することができる。

【0318】請求項15に係る発明に従えば、請求項11のメモリスistemにおいて、制御ユニットが隣接して外部装置との信号の送受信を行なうためのポートを設けているため、容易に、このメモリスistemをモジュール化することができ、また外部装置と最小配線長で信号の送受を行なうことができる。

【0319】請求項16に係る発明に従えば、請求項11のメモリスistemにおいて、信号配線は、メモリ制御回路と対向する端部において貫通孔を介して第1および第2の表面に連続的に延在して配置されているため、信号配線を最小配線長で第1および第2の表面に延在して配設することができる。

【0320】請求項17に係る発明に従えば、請求項16のメモリスistemにおいて、第2の表面に配設される配線を、貫通孔を介して第1の表面に取出し、この取出した配線を、制御ユニットに含まれる受信機能を有する受信ユニットに接続しているため、1箇所に送受信機能両者を有する制御ユニットを配設することができ、制御ユニットと外部装置との間の端子を送受信ユニットと別々に設ける必要がなく、端子数を低減することができる。

【0321】請求項18に係る発明に従えば、請求項1のメモリスistemにおいて、第1の信号バスにおいて、コマンドを取込むためのタイミングを与えるストローブクロック信号をメモリ素子の動作サイクルを規定するクロック信号とは別に伝達するように構成しているため、各個別メモリ素子において正確にコマンドを取込むことができ、正確に動作するメモリスistemを構築することができる。

【0322】請求項19に係る発明に従えば、請求項1のメモリスistemにおいて、外部装置に返送されない信号を伝達する信号線は終端抵抗により終端されているため、この信号線において信号の反射が生じるのを防止することができ、正確に、信号を伝達することができる。

【0323】請求項20に係る発明に従えば、請求項1のメモリスistemにおいて、メモリスistemに設けられる外部装置は、データ出力を指示するコマンドを検出するコマンド検出回路と、このコマンド検出回路からのコ

マンド検出指示に応答してクロック信号のレイテンシサイクル期間経過後、データバスを介して与えられる信号を取込むように構成しているため、ストローブクロック信号を外部装置へ返送する必要がなく、外部装置の端子数を低減することができる。

【0324】請求項21に係る発明に従えば、請求項1のメモリスistemにおいて、外部装置が、コマンド印加を指示するコマンド印加指示信号受信時、所定の時間レイテンシサイクル経過後、データバスを介して与えられるデータを取込むように構成しているため、信号取込タイミングを与えるための信号は、数を低減することができる、この外部装置の端子数を低減することができる。

【0325】請求項22に係る発明に従えば、請求項1のメモリスistemにおいて、データ出力コマンド送出後、所定のクロックサイクル期間経過後データバスを介して与えられるデータを取込むように構成しているため、ピン数を低減して正確に、メモリ素子からの転送されるデータを取込むことができる。

【0326】請求項23に係る発明に従えば、請求項20-22のメモリスistemにおいて、メモリコントローラは、複数の個別メモリ素子のレイテンシを調整するように構成しているため、正確に、選択個別メモリ素子からのデータを取込むことができ、システム構築時における配線の負荷のばらつきの影響を受けることなく、正確に動作するメモリスistemを構築することができる。

【0327】請求項24に係る発明に従えば、請求項18のメモリスistemにおいて、複数の個別メモリ素子の各々が、コマンドを取込むタイミングを与えるストローブクロック信号を可変遅延回路により遅延するように構成しているため、信号配線の負荷変更時においても、正確に、取込タイミングを設定することができ、複数の個別メモリ素子それぞれにおいて正確に信号の取込を行なうことができる。

【0328】請求項25に係る発明に従えば、請求項24のメモリスistemにおいて基準電圧を変更し、この基準電圧に従って入力信号をバッファ処理するバッファ回路のマージンを調整して、可変遅延回路の遅延時間を設定するように構成しているため、通常動作時における入力回路のマージンを大きくすることができる。

【0329】請求項26に係る発明に従えば、請求項25のメモリスistemにおいてマージンが、基準電圧レベルを変化させて測定された結果に基づいて決定するように構成しているため、正確に、個別メモリ素子それぞれに対するマージンを最適値に設定することができる。

【0330】請求項27に係る発明に従えば、請求項24のメモリスistemにおいて、メモリチップにおいてコマンド、アドレスおよびデータ別々にバーニア遅延量を設定しており、正確に信号を取込むことができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従うメモリスistem

ムの構成を概略的に示す図である。

【図2】 (A)は、図1に示すメモリスシステムにおけるデータ読出時の信号伝搬時間を示し、(B)は、データ書込時における信号伝搬時間を示す図である。

【図3】 この発明の実施の形態1の変更例の構成を概略的に示す図である。

【図4】 この発明の実施の形態1のメモリスシステムを用いた処理システムの構成を概略的に示す図である。

【図5】 図4に示す受信ユニットの構成を概略的に示す図である。

【図6】 図4に示す送信ユニットの構成を概略的に示す図である。

【図7】 この発明の実施の形態2に従うメモリスシステムの構成を概略的に示す図である。

【図8】 この発明の実施の形態2の変更例の構成を概略的に示す図である。

【図9】 図8に示すメモリコントローラ近傍の信号配線のレイアウトを概略的に示す図である。

【図10】 この発明の実施の形態2の変更例の構成を概略的に示す図である。

【図11】 この発明の実施の形態2の変更例の構成を概略的に示す図である。

【図12】 図11に示すメモリスシステムを用いた処理システムの構成を概略的に示す図である。

【図13】 この発明の実施の形態3のメモリスシステムの構成を概略的に示す図である。

【図14】 この発明の実施の形態4に従うメモリスシステムの信号伝搬状態を示すタイミング図である。

【図15】 この発明の実施の形態4に従うメモリスシステムのデータ読出時の信号伝搬状態を示すタイミング図である。

【図16】 図13に示すメモリコントローラの構成を概略的に示す図である。

【図17】 図13に示すメモリチップの構成を概略的に示す図である。

【図18】 図17に示すメモリ回路の構成を概略的に示す図である。

【図19】 図18に示す読出回路および書込回路の構成をより具体的に示す図である。

【図20】 図19に示す読出用クロック信号の発生状態を示すタイミング図である。

【図21】 図19に示す読出回路の動作を説明するための図である。

【図22】 図19に示す読出回路の動作を説明するための図である。

【図23】 (A)は、書込用クロック信号の発生状態を示し、(B)は、データ書込回路の動作を説明するための図である。

【図24】 この発明の実施の形態5に従うメモリスシステムのデータ書込時の信号伝搬状態を示すタイミング図

である。

【図25】 この発明の実施の形態5に従うメモリスシステムのデータ読出時の信号伝搬状態を示すタイミング図である。

50 【図26】 この発明の実施の形態5のメモリコントローラの構成を概略的に示す図である。

【図27】 図26に示すREAD検出回路およびレイテンシ処理回路の構成の一例を概略的に示す図である。

【図28】 (A)および(B)は、図27に示す回路10の動作を示すタイミング図である。

【図29】 この発明の実施の形態5におけるメモリスシステムに用いられるメモリチップの構成を概略的に示す図である。

【図30】 (A)は、図29に示すラッチ指示信号発生部の構成を概略的に示す図であり、(B)は、(A)に示すラッチの構成を示し、(C)は、図29に示すラッチ回路の構成を概略的に示す図である。

【図31】 図30(A) - (C)に示す回路の動作を示すタイミング図である。

20 【図32】 この発明の実施の形態6に従うメモリスシステムのデータ書込時の信号伝搬状態を示すタイミング図である。

【図33】 この発明の実施の形態6のメモリスシステムのデータ読出時の信号伝搬状態を示すタイミング図である。

25 【図34】 この発明の実施の形態6におけるメモリスシステムに用いられるメモリコントローラの構成を概略的に示す図である。

【図35】 この発明の実施の形態7のメモリスシステムのデータ書込時の信号伝搬状態を示すタイミング図である。

【図36】 この発明の実施の形態7のメモリスシステムのデータ読出時の信号伝搬状態を示すタイミング図である。

35 【図37】 この発明の実施の形態7に従うメモリスシステムに用いられるメモリコントローラの構成を概略的に示す図である。

【図38】 図37に示す送受信制御回路のレイテンシ処理回路制御部の構成を概略的に示す図である。

40 【図39】 図37に示すレイテンシ処理回路の構成を概略的に示す図である。

【図40】 この発明の実施の形態8に従うメモリスシステムのメモリチップの構成を概略的に示す図である。

【図41】 図40に示すメモリチップの信号入力部の構成を概略的に示す図である。

45 【図42】 (A)は、図41に示す回路の通常動作モード時の動作を示すタイミング図であり、(B)は、初期設定モード時の動作を示すタイミング図である。

【図43】 図41に示す回路のバーニア回路調整動作を示すフロー図である。

【図44】 (A)は、図41に示すバーニア回路の構成を概略的に示し、(B)は、(A)に示すタップ回路の構成をより具体的に示す図である。

【図45】 図44(A)に示す可変遅延回路の構成を示す図である。

【図46】 図44(A)および(B)ならびに図45に示す回路の動作を示すフロー図である。

【図47】 この発明の実施の形態7のメモリスシステムに用いられるメモリコントローラの構成を概略的に示す図である。

【図48】 図47に示すバーニア回路の遅延量設定のためのメモリ回路の構成を概略的に示す図である。

【図49】 図48に示すタップ値算出の方法を説明するための図である。

【図50】 図48に示すタップ値算出回路の構成を概略的に示す図である。

【図51】 図50に示す位相差検出回路の構成を概略的に示す図である。

【図52】 図51に示す位相差検出回路の動作を示すタイミングチャート図である。

【図53】 図51に示す位相差検出回路の動作を示すタイミングチャート図である。

【図54】 この発明の実施の形態8の変更例に従うメモリチップの構成を概略的に示す図である。

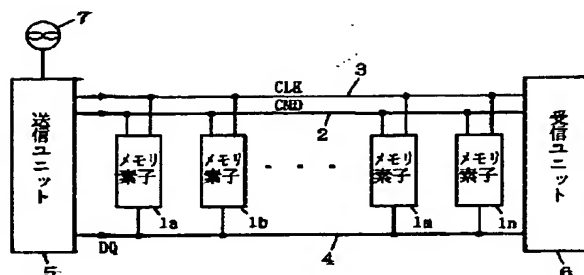
【図55】 図54に示す初期化制御回路の構成を概略的に示す図である。

【図56】 従来のメモリスシステムの構成を概略的に示す図である。

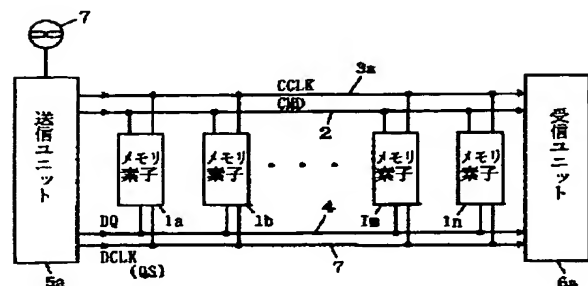
【符号の説明】

1a~1n メモリ素子、2 コマンドバス、3 クロック信号線、4 データバス、5 送信ユニット、6 受信ユニット、7 データストロブクロック信号線、10 メモリユニット、11 データバス、12 コントローラバス、13 プロセッサ、20 ベース基板、21a 第1の表面、21b 第2の表面、22 第1のポート、22a 端子、22b 送信ユニット、26a、26b、27a、27b 配線、CH メモリチップ

【図1】

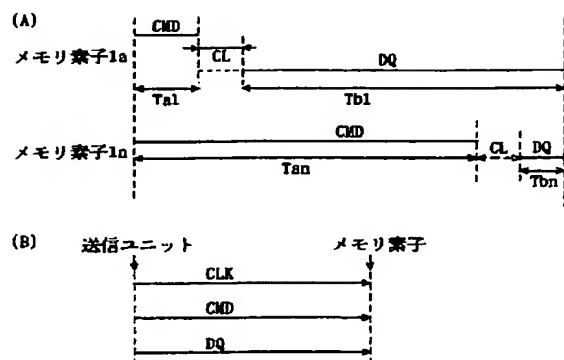


【図3】

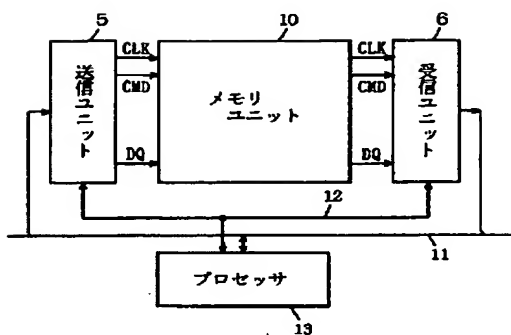


ブ、23 第2のポート、23a貫通孔、24 第3のポート、24a 貫通孔、25 第4のポート、25a 端子、25b 受信ユニット、22c メモリコントローラ(送受信ユニット)、22d、25c 貫通孔、25d メモリコントローラ、30a、30bプロセッサ、35 メモリコントローラ、MM#0~MM#3 メモリモジュール、42a 第1のポート、42b 第2のポート、R 終端抵抗、51 CMD制御回路、52 ADD制御回路、53 DAT制御回路、55 クロックバッファ/ドライバ、56a、57a インバータ、58a~58j 出力バッファ回路、59a、59j 入力バッファ回路、60 エッジ検出回路、61 READ検出回路、62 レイテンシ処理回路、63 データ取込回路、50 送受信制御回路、65a~65j 入力バッファ、66 エッジ検出回路、67CMDラッチ、68 ADDラッチ、69 DATラッチ、70 CMDデコーダ、71 ADDデコーダ、72 メモリ回路、73 エッジ検出回路、74レイテンシ処理回路、75 DATラッチ、76 クロック発生回路、77a~77d 出力バッファ回路、83 読出回路、84 書込回路、80a バッド、81、82 データバス、90u、90d、92u、92d、95u、95d、105u、105d、102u、102d 選択回路、106 書込ドライブ回路、91、94u、94d、101u、101d、104 シフトレジスタ回路、97u、97d、100u、100d 転送回路、96 切換回路、98出力バッファ、99 入力バッファ、81、281 リードクロック発生回路、290 CS検出回路、300 バーニア回路、301 初期化制御回路、302 基準電圧発生回路、303a、303b 取込回路、305a、305b、306a、306b ラッチ回路、320 バーニア回路、325 記憶回路、425 位相差検出回路、426 タップ算出回路、300a、300c、300d バーニア回路、450 初期化制御回路、451 選択回路、452 転送制御回路。

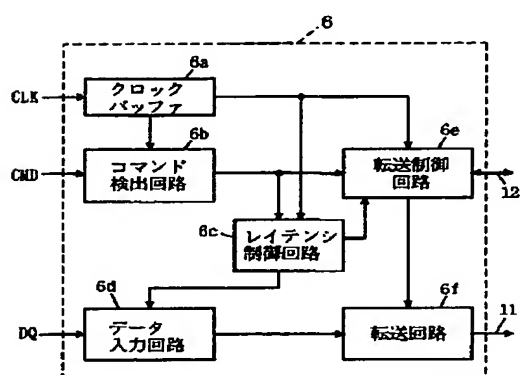
【図2】



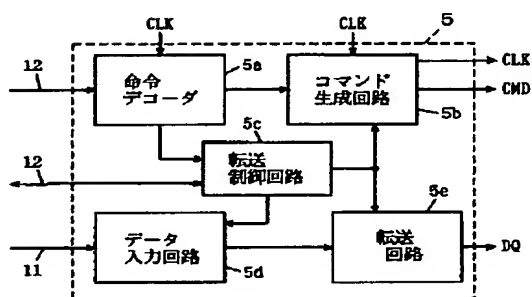
【図4】



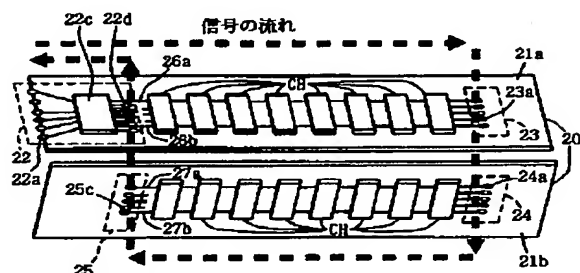
【図5】



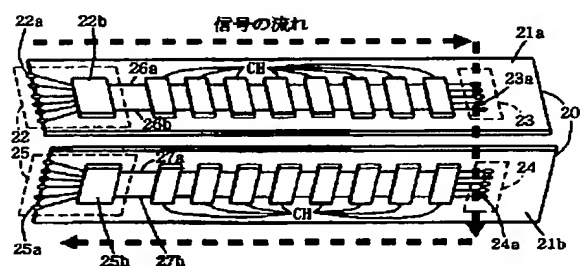
【図6】



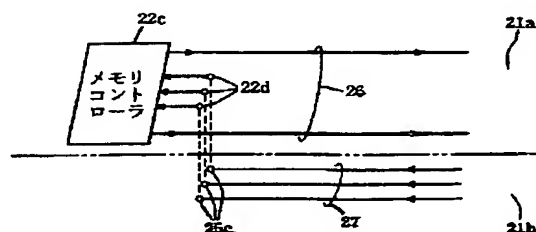
【図8】



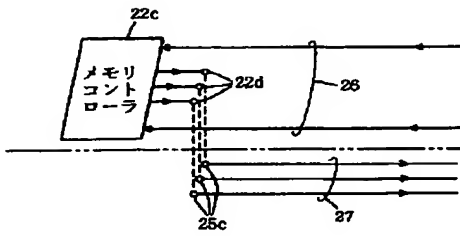
【図7】



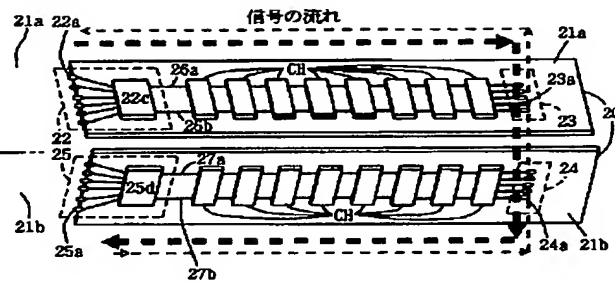
【図9】



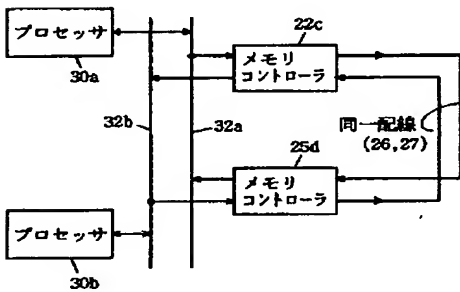
【図10】



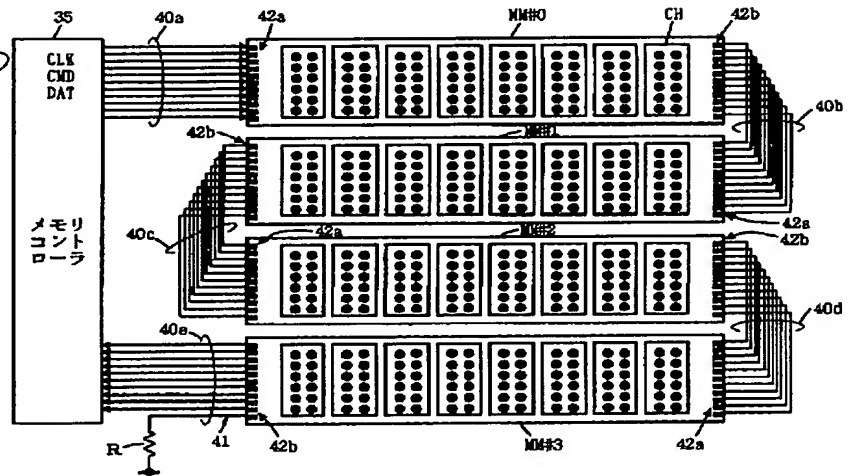
【図11】



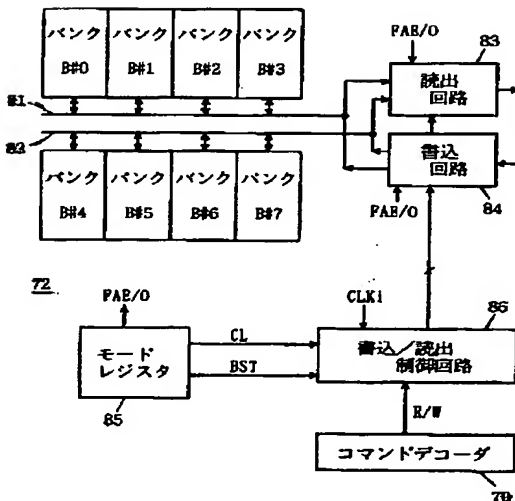
【図12】



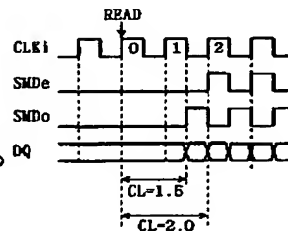
【図13】



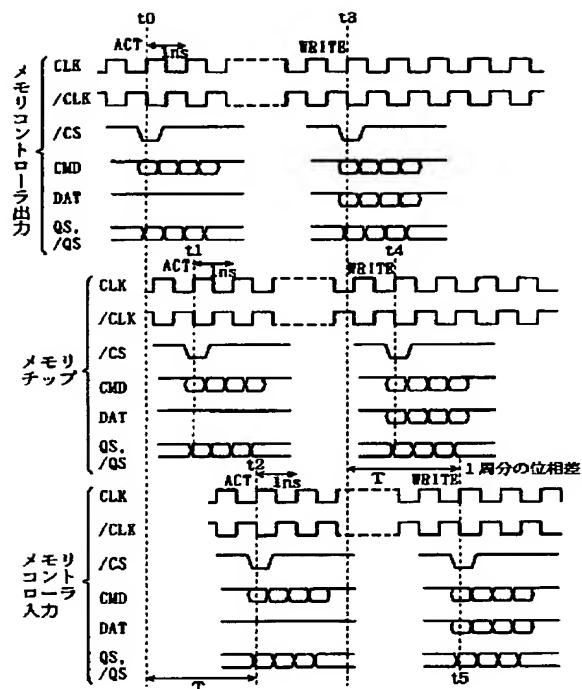
【図18】



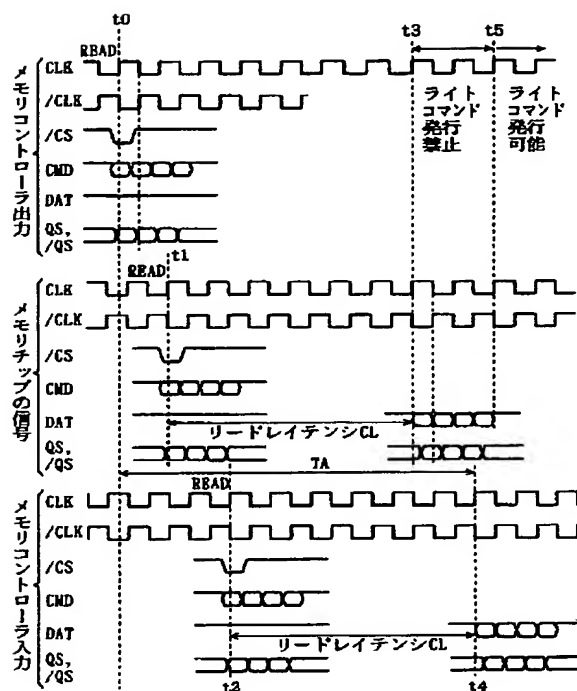
【図20】



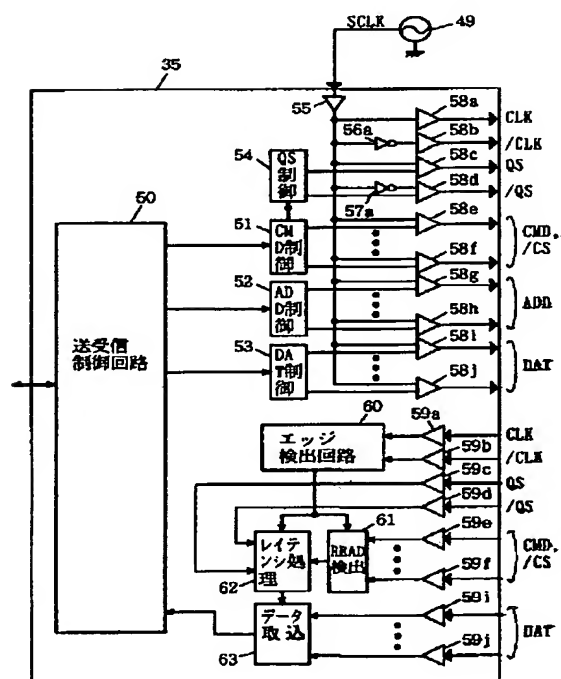
【図14】



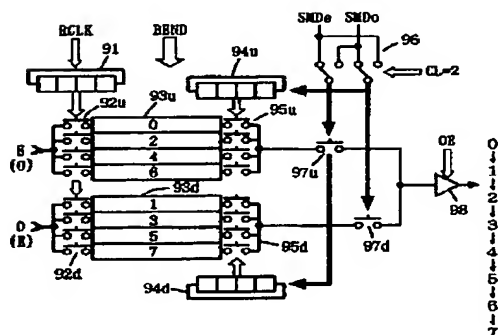
【図15】



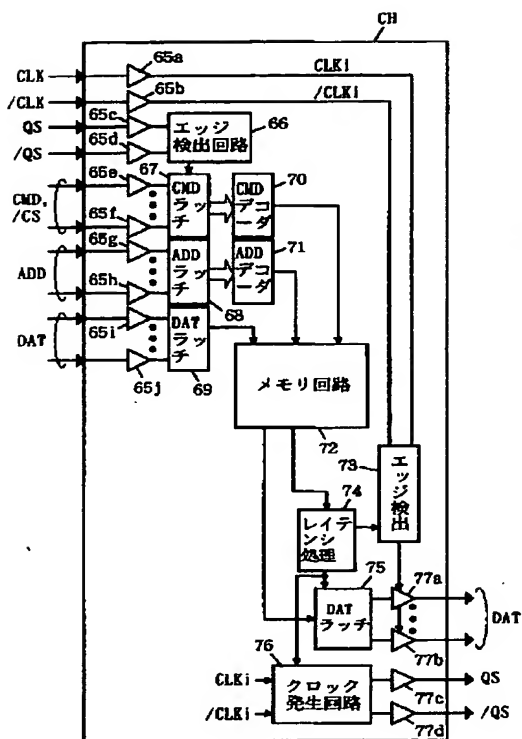
【図16】



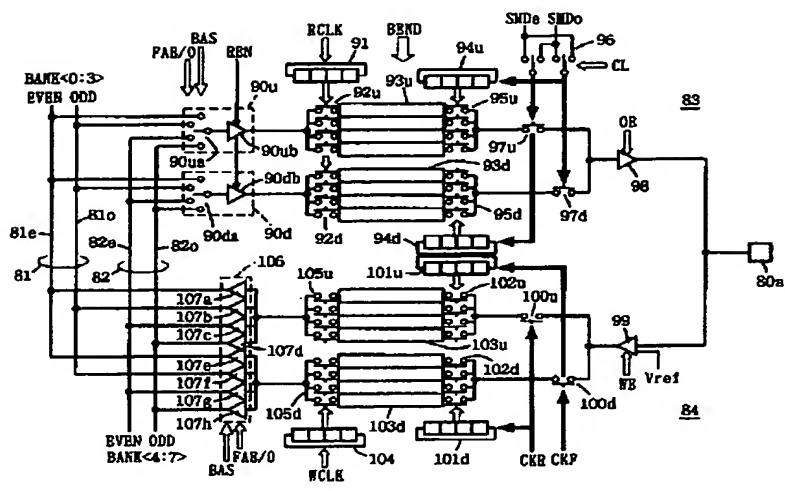
【図21】



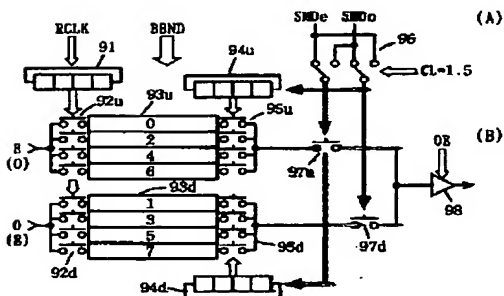
【図17】



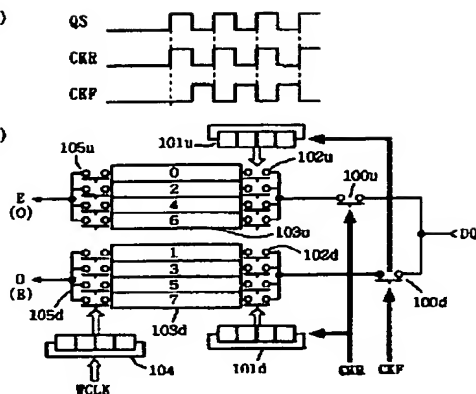
【図19】



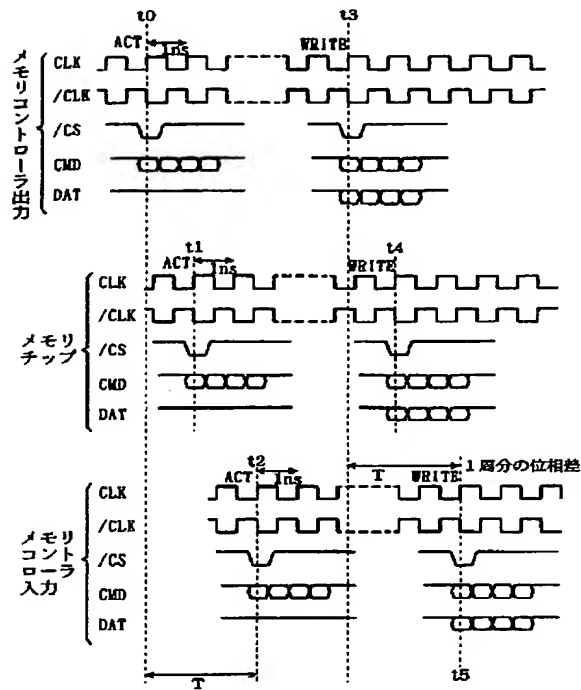
【図22】



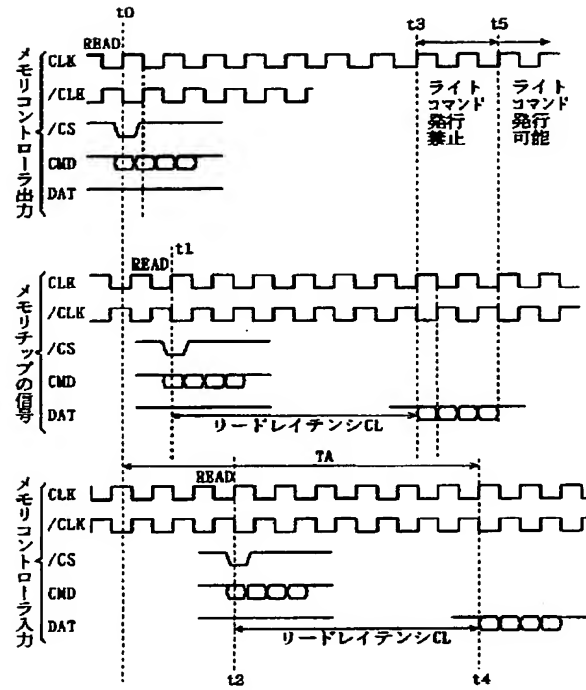
【図23】



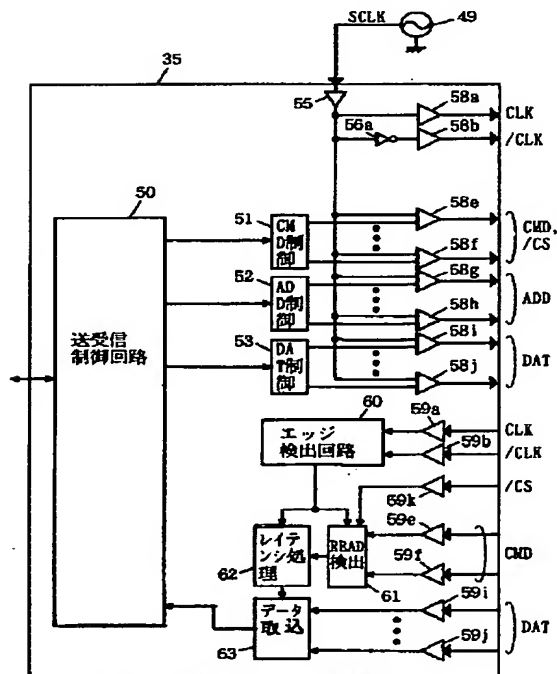
【図24】



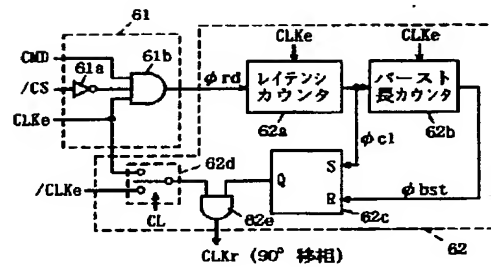
【図25】



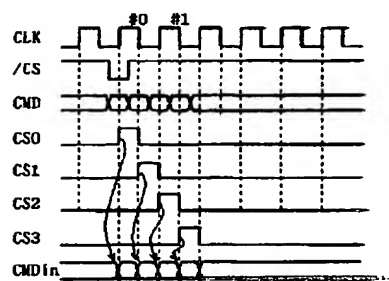
【図26】



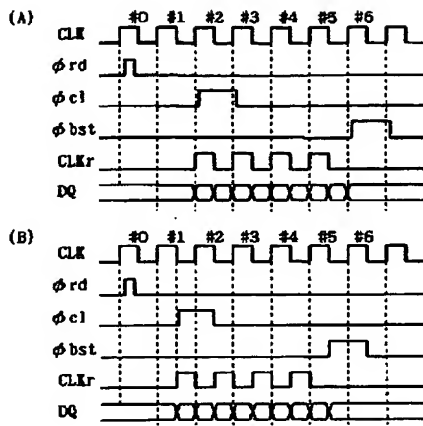
【図27】



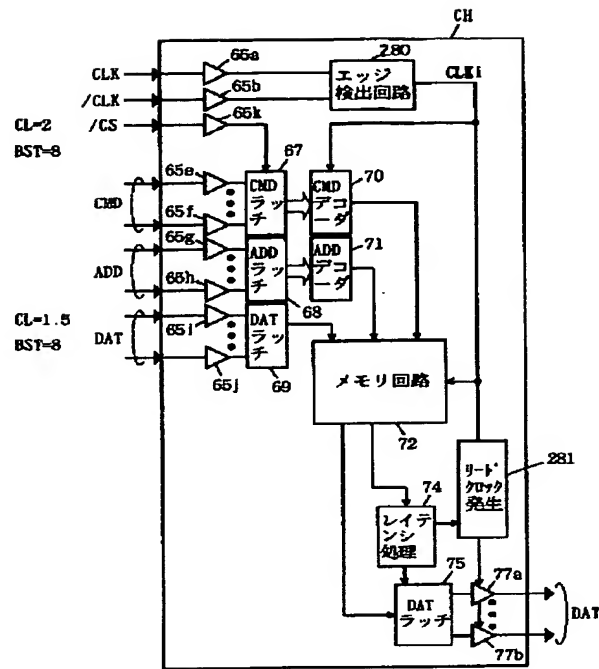
【図31】



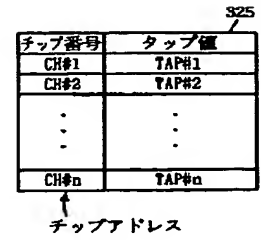
【図28】



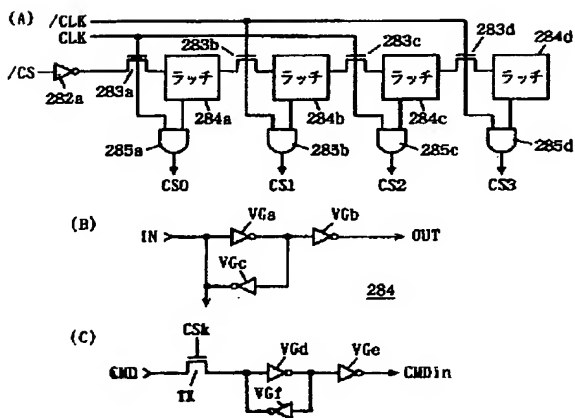
【図29】



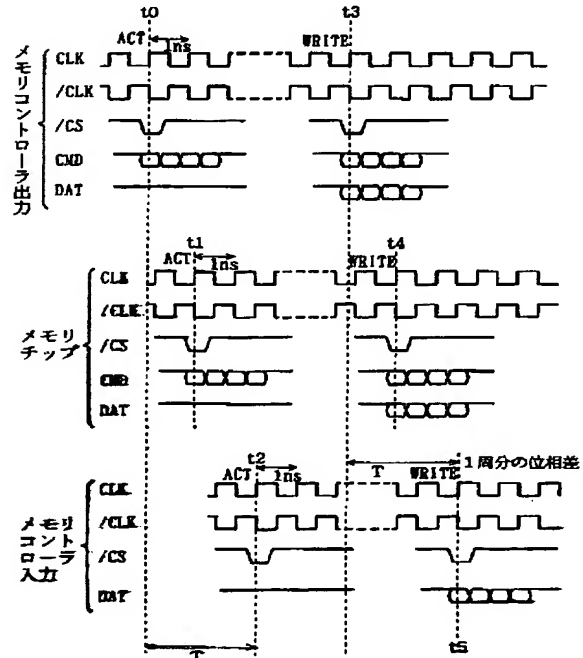
【図48】



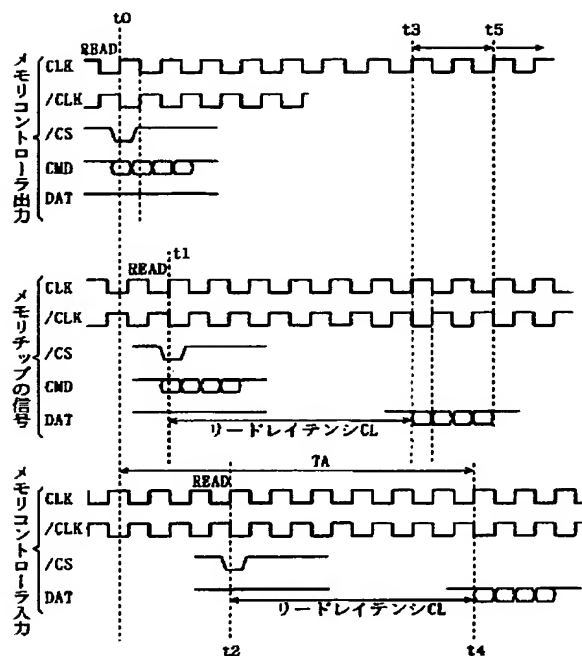
【図30】



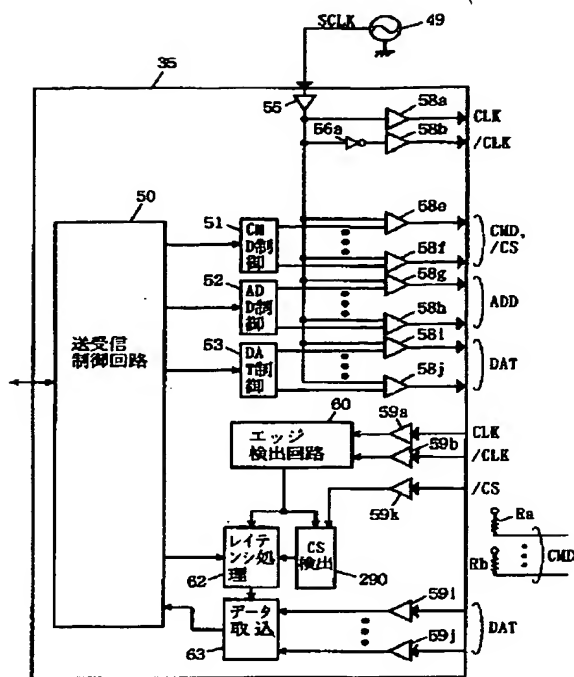
【図32】



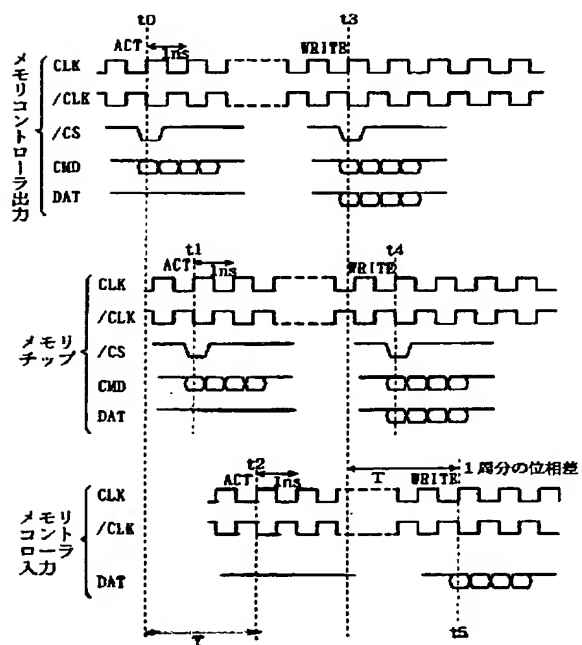
【図33】



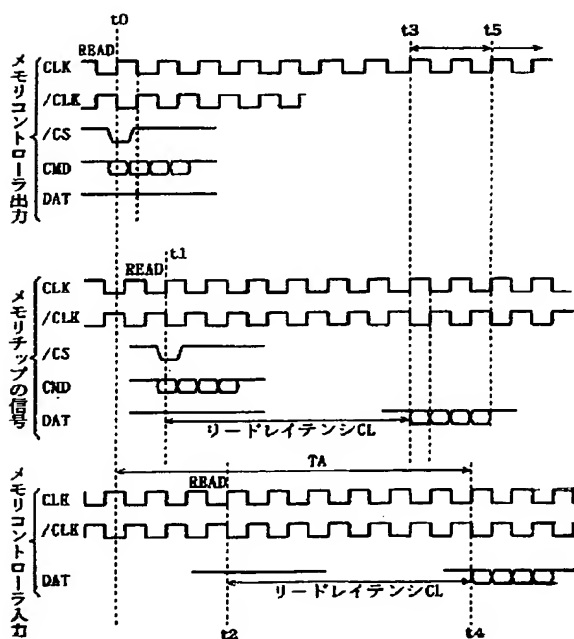
【図34】



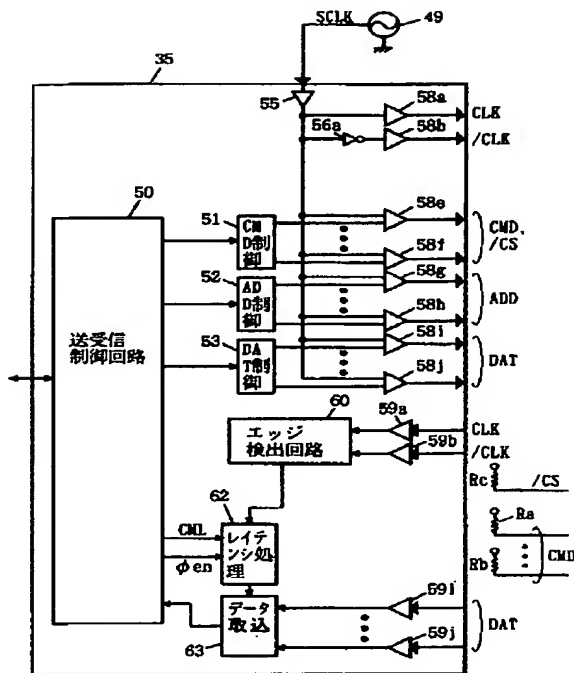
【図35】



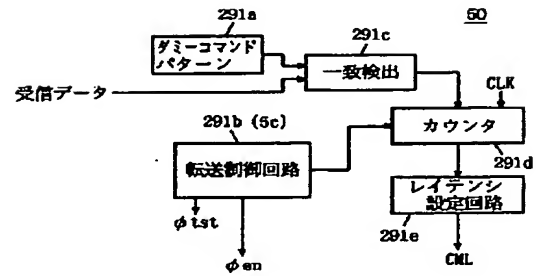
【図36】



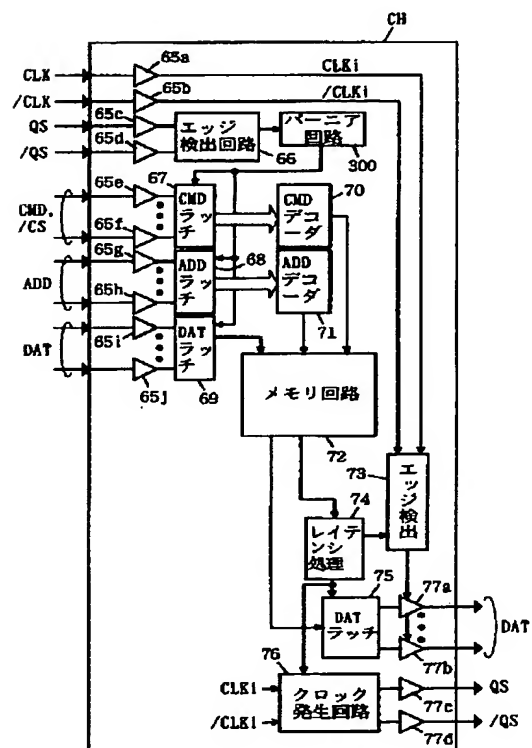
【図37】



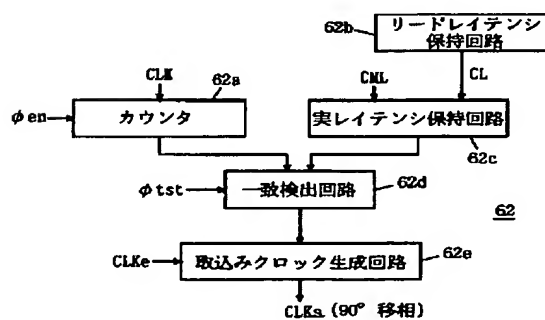
【図38】



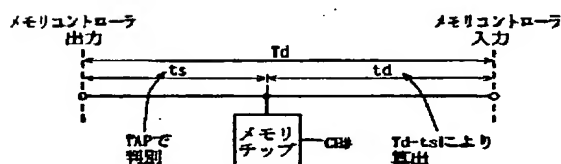
【図40】



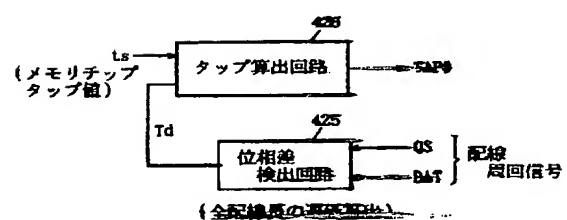
【図39】



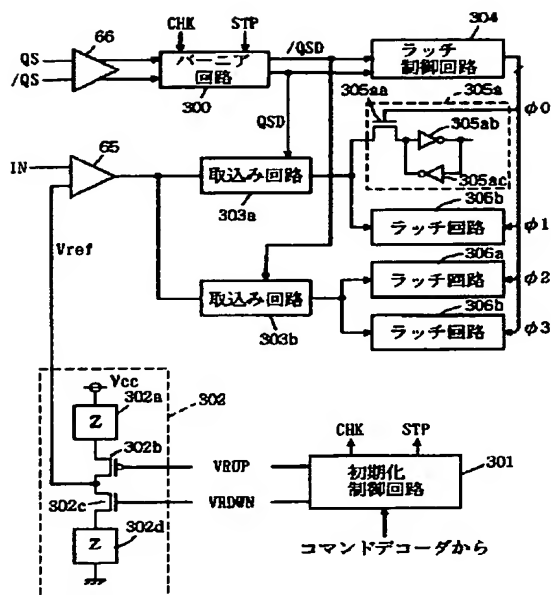
【図49】



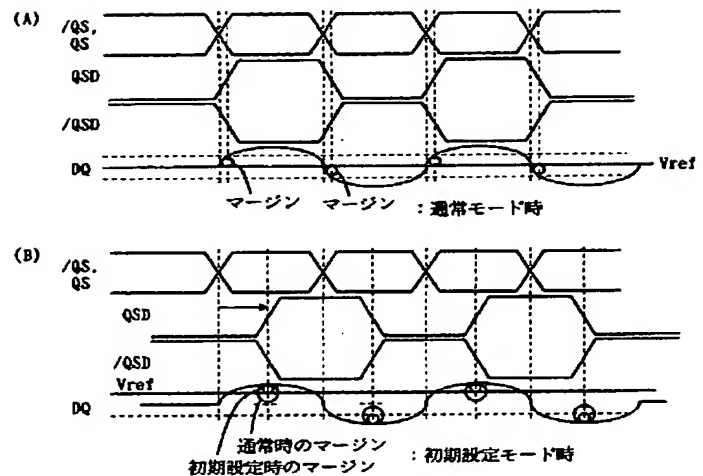
【図50】



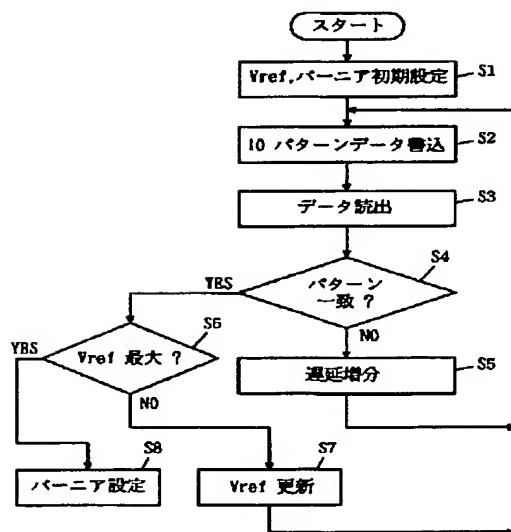
【図41】



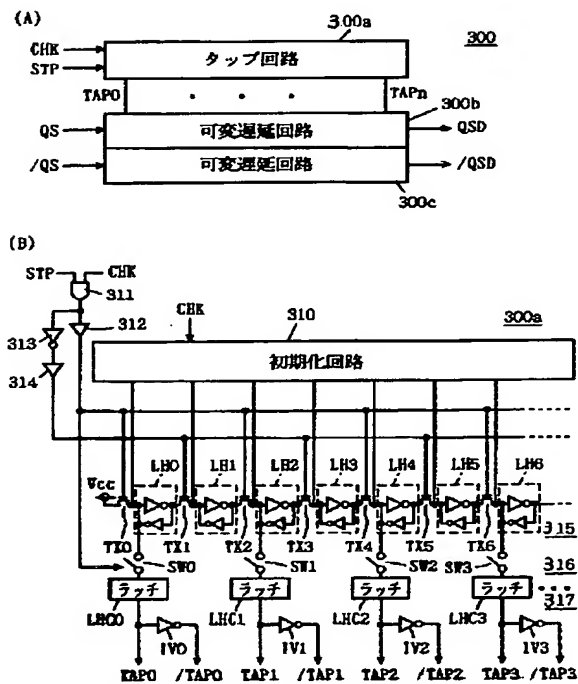
【図42】



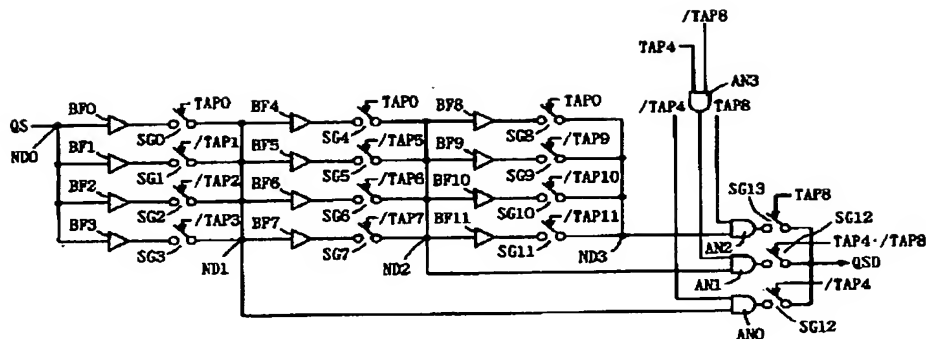
【図43】



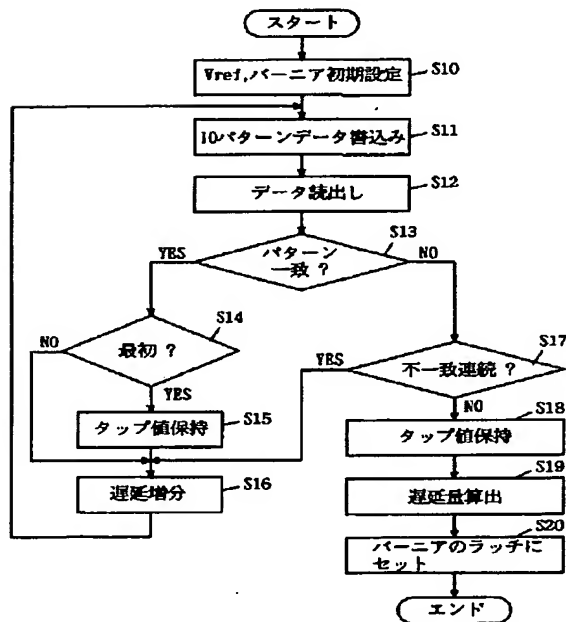
【図44】



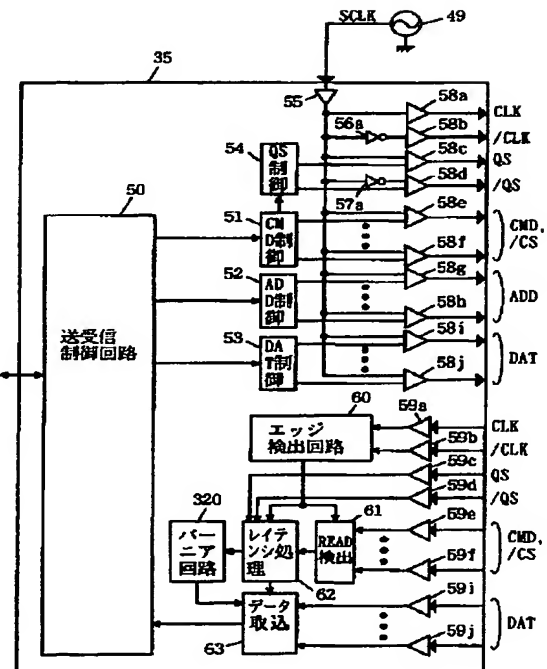
【図45】



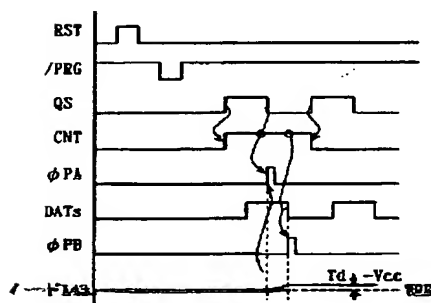
【図46】



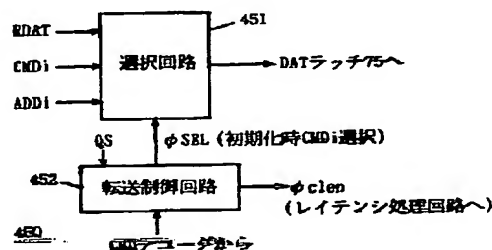
【図47】



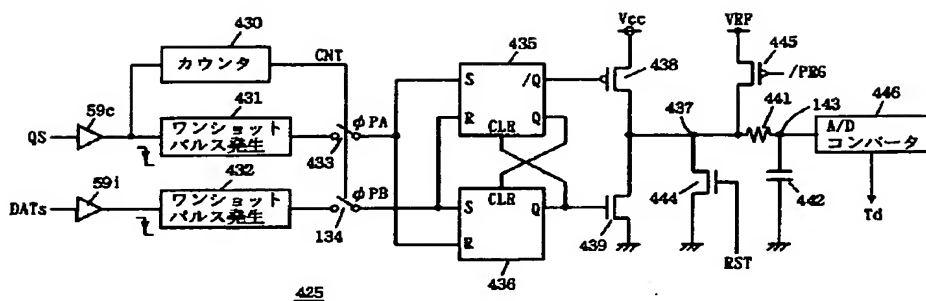
【図52】



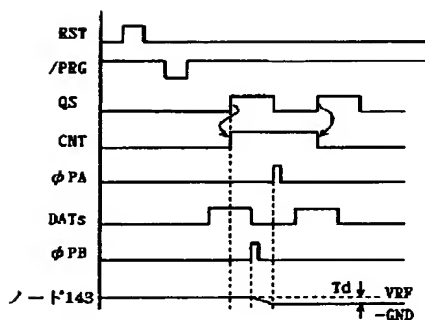
【図55】



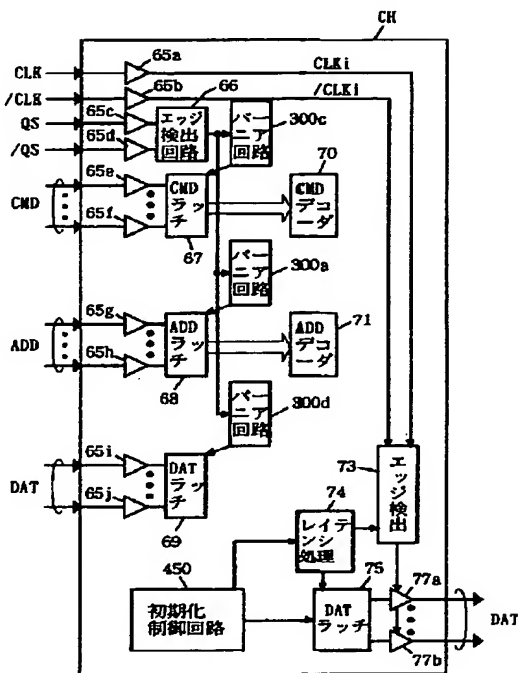
【図51】



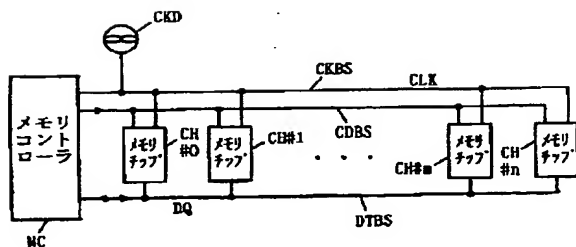
【図53】



【図54】



【図56】



フロントページの続き

(72)発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

Fターム(参考) 5B060 CC04 MB00

05